

L'International Technology Roadmap for Semiconductors (ITRS)

Dossier

Le marché global des semiconducteurs est estimé à plus de 200 milliards de \$ en 2004, et après les périodes difficiles dues à l'éclatement de la bulle internet, une croissance de 19,4% est attendue cette année (Semiconductor Industry Association [1]). En raison d'investissements grandissants à mettre en oeuvre, les professionnels du secteur se sont réunis et ont créé depuis 1999, l'**International Technology Roadmap for Semiconductors** [2]. Rédigée par un consortium international d'entreprises, l'ITRS est le document de référence du secteur microélectronique, mettant en lumière les principales barrières au développement de nouvelles générations de composants, de manière à respecter un cycle d'évolution suivant la loi de Moore. La troisième édition complète de l'ITRS a été publiée en décembre dernier, soulignant les grands enjeux technologiques dans l'intégration des composants de demain, notamment le choix d'une nouvelle génération lithographique, la minimisation des courants de fuites à travers l'oxyde de grille, ou la réalisation de canaux de conduction en "strained silicon" (couche de silicium contraintes en tension).

Sommaire :

Introduction générale à l'ITRS

Organisation du document ITRS

A - Le marché des semiconducteurs

B - La position américaine

C - L'*Offshoring* vers les pays asiatiques

D - La loi de Moore : un modèle de croissance

E - Vers l'intégration continue des composants MOS

F - Optimiser la transmission des signaux

G - Nouveaux matériaux pour les substrats

H - Structure des transistors

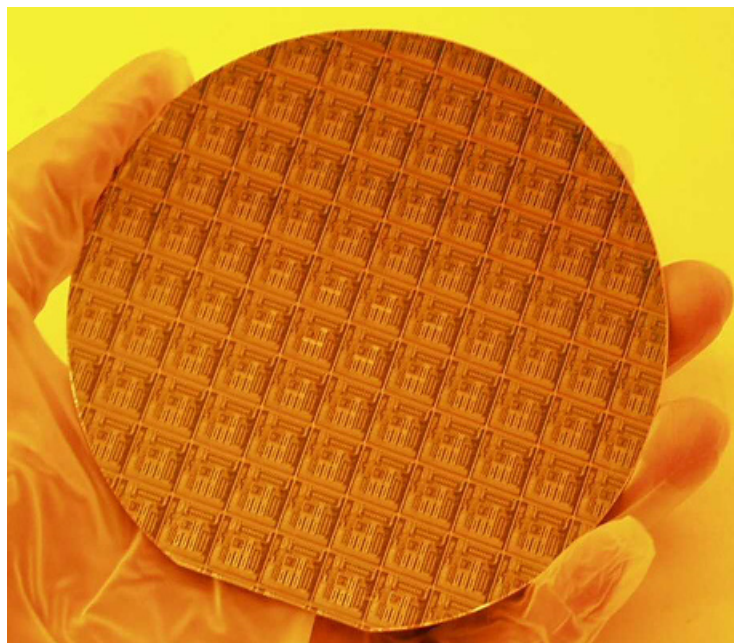
I - Nouveaux dispositifs logiques

J - Techniques lithographiques

Conclusion

Message aux lecteurs

Références



Source : Microelectronics Research Center Georgia Institute of Technology (MiRC) [3]

Introduction générale à l'ITRS :

Malgré les barrières technologiques qui se sont présentées au cours de son évolution, l'industrie des semiconducteurs s'est toujours distinguée par son aptitude à produire régulièrement de nouvelles générations de composants. Cette évolution technologique des circuits intégrés est modélisée depuis 1970 par la loi de Moore, suivant un doublement du nombre de composants par circuits tous les 18 mois. Aujourd'hui comme hier, la loi de Moore sert toujours de modèle à la croissance de l'industrie microélectronique, même si la pente de la courbe diminue avec le poids des difficultés technologiques.

D'un point de vue général, la réduction du volume physique des composants a permis de :

- réduire le coût par fonction¹, augmenter la productivité des usines microélectroniques et ainsi démocratiser l'usage des dispositifs électroniques ;
- améliorer les performances des circuits avec de nouvelles fonctionnalités ;
- optimiser les outils de travaux des chercheurs en augmentant la rapidité des calculs.

Tous ces progrès ont été accomplis, d'une part, grâce à l'ingéniosité des chercheurs du monde entier, en développant des circuits dont les dimensions critiques sont désormais proches de l'atome, mais aussi par une collaboration accrue des différents laboratoires de recherche qui se sont regroupés pour mieux cibler et anticiper les principaux problèmes dans la poursuite de l'intégration des circuits (CI).

L'**International Technology Roadmap for Semiconductors** (ITRS) [2] est l'un des résultats de cette collaboration. Regroupant différentes entreprises internationales (International Roadmap Committee : Europe, Japon, Corée, Taiwan et Etats-Unis), au total près de 900 personnes travaillent à la rédaction et à l'édition de la roadmap. La fonction de ce consortium est d'évaluer les principaux besoins de l'industrie microélectronique en terme de recherche et développement, ainsi que les technologies à mettre en place pour rester fidèle à l'évolution technologique des composants semiconducteurs suivant la loi de Moore. L'ITRS présente, en d'autres termes, une sorte de carnet de route des efforts à fournir par l'industrie, afin de cibler les investissements et objectifs de recherche à court et long terme. L'ITRS se défend néanmoins d'être un document rigide, indiquant les solutions à adopter pour poursuivre l'intégration des CI, mais plutôt une aide dans l'identification des principales barrières technologiques à venir et la prévention de possibles voies sans issues commerciales. Les rédacteurs insistent sur le fait que le futur de l'industrie microélectronique continue de dépendre de l'innovation technologique et la mise en place de nouvelles solutions pour repousser les limites.

¹ Alors qu'en 1968, 1 transistor coûtait 1 \$, aujourd'hui on en obtient 50 millions pour le même prix.

Ce dossier de la Lettre Etats-Unis Sciences-Physiques consacré à la *Roadmap* des semiconducteurs a pour but de présenter aux lecteurs un état de l'art de l'industrie des semiconducteurs. La parution en décembre dernier de la nouvelle édition de l'ITRS permet d'avoir un aperçu des dernières technologies mises en oeuvre, matériaux et procédés utilisés actuellement et dans une perspective future. L'édition complète de la *roadmap* regroupant quinze parties différentes, notre dossier met en lumière préférentiellement les principaux enjeux de l'industrie, encourageant le lecteur à poursuivre sa recherche d'informations à partir des sources citées. Ce rapport présente premièrement un aperçu du marché global des semiconducteurs et des efforts de recherche américains dans ce domaine, puis les aspects technologiques dans l'intégration des composants MOS, matériaux et structures, ainsi que les dispositifs de recherche envisagés, et enfin une étude sur le secteur clé qu'est la lithographie.

Organisation de la roadmap :

Le document ITRS se décompose en plusieurs chapitres, dont chacun représente un aspect de l'industrie microélectronique, parmi les principaux : les procédés Front End (FEP), les nouveaux dispositifs de recherche (ERD), la lithographie, interconnexions, assemblage et packaging, tests et simulation,... Dans ces chapitres sont définies des tables qui font état des différents challenges à relever par année : par exemple, la longueur des grilles pour les composants MOSFET, le taux de défauts des masques lithographiques, la précision des procédés de gravure,... Il s'agit pour la plupart, de paramètres physiques à atteindre pour contribuer à la stabilité des rythmes de croissance. A chaque année correspond une case où est inscrit le paramètre à atteindre. Les mémoires DRAM ayant la longueur de half-pitch minimale (*i.e.* moitié de largeur du premier niveau des interconnexions métalliques), celles-ci représentent le modèle étalon et ainsi le nœud ou "*node*" de chaque génération de composants ; on parle souvent de génération 135 nm ou 90 nm (= **hp90nm**).

Afin de schématiser les besoins industriels, la démarche adoptée par la *roadmap* est la suivante (**Fig:1**) :

- 1) mettre en valeur les cibles qui doivent être atteintes par les technologies alors en développement : cela se traduit en termes de paramètres physiques à respecter (dimensions, puissance, intensité,...) ;
- 2) reconnaître des solutions intérimaires pour répondre aux limites technologiques du moment si besoin est ;
- 3) indiquer quand les technologies actuelles ne permettent plus d'atteindre les caractéristiques physiques requises pour continuer l'intégration des circuits de manière régulière.

Les cases sont : - blanches quand les objectifs sont réalisables par des techniques actuelles ;

- jaunes, quand il existe des solutions en cours

de développement ;

- rouges, quand les paramètres ne sont pas réalisables par les techniques actuelles et nécessitent des recherches supplémentaires ; ce sont les fameux *Red Brick Walls* des tables de la roadmap.

Depuis cette édition 2003, une nouvelle catégorie a été introduite dans les tables, il s'agit des solutions intérimaires (cases hachurées avec un losange rouge), solutions qui permettent de repousser l'échéance dans l'introduction de nouvelles technologies, par exemple l'utilisation de couches de silicium avec des contraintes en tension (*strained silicon*) pour améliorer le courant de saturation I_{dsat} des transistors.

Le grand intérêt de la *roadmap* est sa projection dans l'avenir des technologies, et des paramètres physiques requis. Dans le souci d'avoir une projection suffisante des besoins technologiques, la *roadmap* définit ainsi une échéance sur une perspective de quinze ans. Alors qu'à court terme, les prédictions sont plus aisées, quand il s'agit d'avoir une estimation de dix ans dans l'avenir, les solutions sont plus nuancées, et les cases se teintent de rouge dans les tables de la *roadmap*.

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM							
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Contact in resist (nm)	130	110	100	90	80	70	60
Contact after etch (nm)	115	100	90	80	70	65	55
Overlay	35	32	28	25	23	21	19
CD control (3 sigma) (nm)	12.2	11.0	9.8	8.6	8.0	7.0	6.1
MPU							
MPU/ASCI Metal 1 (M1) ½ pitch (nm)	120	107	95	85	76	67	60
MPU ½ Pitch (nm) (uncontacted gate)	107	90	80	70	65	57	50
MPU gate in resist (nm)	◆ 65	53	45	40	35	32	28
MPU gate length after etch (nm)	45	37	32	28	25	22	20
Contact in resist (nm)	130	122	100	90	80	75	60
Contact after etch (nm)	120	107	95	85	76	67	60
Gate CD control (3 sigma) (nm)	◆ 4.0	3.3	2.9	2.4	2.2	2.0	1.8

Figure 1 : Les tables de la *roadmap* se composent de cases de trois couleurs différentes (blanches, jaunes et rouges) suivant le degré de difficulté des paramètres à atteindre. Ici le tableau indique les longueurs des différents niveaux caractéristiques des circuits.

Source : ITRS

A - Le marché des semi-conducteurs :

Après avoir connu une des plus grosses crises de son histoire en 2001 et une période de stagnation en 2002, l'industrie des semiconducteurs a débuté l'année 2004 dans le courant d'un cycle de reprise (**Fig.2**). L'amélioration a commencé en deuxième partie de l'année 2003, avec des taux de croissance de 13,7 et 11 % pour les deux derniers trimestres - parmi ceux les plus forts jamais expérimentés. Pour le premier trimestre 2004, le cabinet d'expertise SIA (Californie) estime à 32,3 % la hausse du marché par rapport au premier trimestre de l'année dernière, confirmant ainsi la tendance [4].

Ventes mondiales des semiconducteurs (Milliards de \$)

Ventes à l'année

Marché	Mars 2003	Mars 2004	Evolution %
Amériques	2,46	3,08	25,1
Europe	2,53	3,24	24,4
Japon	2,88	3,59	24,7
Asie Pacifique	4,43	6,46	45,8
Total	12,30	16,28	32,3

Ventes au trimestre

Marché	Oct/Nov/Dec	Jan/Feb/Mar	Evolution %
Amériques	3,03	3,08	1,4
Europe	3,11	3,24	1,3
Japon	3,72	3,59	-3,4
Asie Pacifique	6,18	6,46	4,6
Total	16,03	16,28	1,5

Figure 2 : Estimation des ventes mondiales de semiconducteurs entre Mars 03 et Mars 04, puis par comparaison du dernier trimestre 03 et premier trimestre 04. Le secteur asiatique connaît la plus forte croissance annuelle à 45,8 %. Source : SIA

SIA fait remarquer que le premier trimestre est généralement faible concernant les ventes de semiconducteurs alors que le dernier trimestre est une forte période de croissance. Couplé avec les 4,2% de croissance du PIB américain pour le premier trimestre 2004, ce nouvel indicateur de croissance est un facteur de plus à la reprise économique et une demande accrue sur une large gamme de produits électroniques.

Depuis sa création, ce marché a toujours été cyclique, se composant généralement de deux années de forte croissance (20 %), une année de plus faible croissance et une année de stagnation ou de déclin (**Fig.3**).

Outre ces cycles à court terme, de 1975 à 2000, l'industrie a bénéficié en moyenne d'un taux annuel de croissance de 16,1 %. Cette évolution a été déclenchée, d'une part, par

les avancées technologiques au niveau des composants, mais aussi par la démocratisation des dispositifs électroniques. Cependant, avec la sévérité de la crise de 2001, l'évolution à long terme de l'industrie microélectronique a dû être réévaluée. SIA prévoit une croissance annuelle recalculée à 11% entre 2002 et 2006.

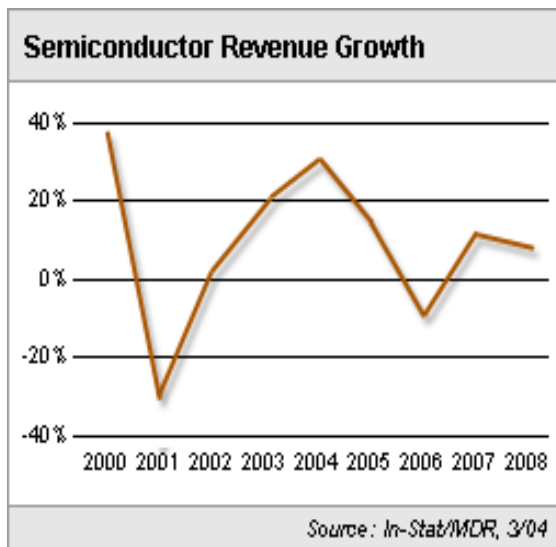


Figure 3 : Courbe de croissance du marché des semiconducteurs sur la période 2000-08. Cette année devrait montrer les meilleurs taux de croissance depuis 2000 aux alentours de 30 %. Source In-Stat [5]

Pour l'année 2004, le marché est estimé à plus de 200 Milliards de \$ (M\$), près du record de 2000 (204 M\$). Gartner Dataquest Inc. [6] estime la croissance à 22,6% par rapport à 2003, aux alentours de 217 M\$. La vente de PC a fortement contribué à cette croissance au dernier trimestre 2003 : 10,6 % pour les DRAM et 7,9% pour les microprocesseurs. Les mémoires Flash sont également parmi les plus fortes ventes avec une hausse de 29,3%. Les bases de cette croissance apparaissent plus stables et reposent sur plusieurs produits phares : les ventes de lecteur DVD enregistrables devraient augmenter de 30 % en 2004. Le développement des techniques de communication sans fil, participe également à cette reprise, avec un marché des téléphones portables augmentant de 12% en 2004, pour des appareils de 2.5 et 3G. Le marché des ordinateurs personnels devrait aussi croître de 14%, avec de nouvelles fonctionnalités: connexions haut débit, vidéo par streaming,...

B - La position américaine

Au niveau américain, les dépenses pour la R&D industrielle atteignaient en 2003 près de 14 M\$. L'industrie des semiconducteurs emploie plus de 226 000 personnes à travers le pays aujourd'hui et contribue à la hauteur de 41 M\$ à son PIB.

Compte tenu de l'importance du marché des semiconducteurs, les initiatives américaines sont nombreuses pour financer les programmes de recherche. Les nombreux partenariats entre les universités américaines et l'industrie en font un atout indéniable pour faciliter les transferts de technologies et contribuer au dynamisme de la R&D². Les nanotechnologies constituant le futur du secteur microélectronique, les fonds se multiplient pour subvenir au développement de nouveaux projets de recherche sur les transistors de demain.

La *National Nanotechnology Initiative* (NNI) [7] coordonne les programmes fédéraux sur les nanotechnologies, comptant un budget de 849 Millions de \$ (m\$) (2004); le budget 2005 devrait fournir 982 m\$, un doublement des fonds par rapport à sa création en 2001. Dix agences fédérales financent la NNI, parmi lesquelles la NSF, le DoE, DoD, NIST, NIH :

- La *National Science Foundation* (NSF) [8] continue d'avoir la plus large part des fonds pour la recherche nanotechnologique, et reste le principal organisme d'encouragement à la recherche fondamentale américaine. Son budget 2004 est de 5,58 M\$, et celui 2005 estimé à 5,74 M\$. Son programme *Nanoscale Science and Engineering* a obtenu des financements de plus de 250 m\$ en 2004 et compte huit centres de recherche spécialisés.

- Le financement du *Department of Energy* (DoE) [9] a atteint 209 m\$ pour le financement des nanosciences.

- Le programme nanotechnologique du *Department of Defense* (DoD) [10], lequel est soutenu principalement par la DARPA³, a connu une croissance importante depuis quelques années. Le financement de la DARPA atteignait 2,83 M\$ en 2004, et le budget 2005 est estimé à 3,09 M\$.

- Dans le budget 2005 présenté par le *National Institute of Standards and Technology* (NIST) [11], l'accent est mis sur l'équipement lithographique de l'institut devenu désormais obsolète. L'Advanced Measurement Laboratory devrait recevoir 25,5 m\$ et 15,6 m\$ pour les recherches en manufacturing, incluant 4 m\$ pour la nano-métrie.

La fondation *Microelectronics Advanced Research Corporation* (MARCO) [12], une organisation à but non lucratif, finance cinq centres de recherche spécialisés chacun dans une discipline particulière afin de tâcher les principaux problèmes sur une échéance d'une dizaine d'années : le *Nanoscale Materials Focus Center* (UCLA), *System Design Focus Center* (UC Berkeley), *Interconnect and Optoelectronics Focus Center* (GeorgiaTech), *Circuit Design Focus Center* (Carnegie Mellon University), *Nanoscale Devices Focus Center* (MIT). MARCO est une filiale du *Semiconductor Research Corporation* (SRC) située dans le *Research Triangle Park* (Caroline du Nord), et les fonds levés proviennent de compagnies privées, SIA et du *Department of Defense*.

² Pour plus d'informations, différents rapports sont disponibles sur le sujet : rapport de la mission scientifique aux Etats-Unis, rapport de l'OPECST (<http://www.senat.fr/opecest/>) ...

³ DARPA : Defense Advanced Research Project Agency

Pour contribuer au développement de ces nouvelles technologies, le président américain signait, l'année dernière, un acte de loi appelé le "21 st Century Nanotechnology Research and Development Act" qui légiférait sur les programmes supportés par la NNI, et faisait état d'un financement de 3,7 M\$ répartis sur huit agences gouvernementales (Voir [13] Lettre Etats Unis Sciences Physiques 9).

C - L'Offshoring vers les pays asiatiques

On assiste depuis quelques années à une délocalisation des principaux consommateurs et fournisseurs de composants électroniques. Alors que le marché américain représentait un tiers de la consommation globale des semiconducteurs en 1997, en 2003, ce chiffre est passé à moins de 20 %. Durant cette même période, le marché asiatique croissait de 20 à 40 % aujourd'hui. Dans les années 80, l'Asie accueillait des usines peu coûteuses d'assemblage des composants, mais avec de faibles ventes de matériels électroniques sur place. Aujourd'hui, cette région est non seulement un leader dans la production des équipements électroniques, mais désormais un consommateur important de dispositifs sophistiqués. L'ouverture du marché chinois des semiconducteurs et la libéralisation de son économie lui permettent d'être un concurrent grandissant parmi les nations productrices de matériels électroniques, mais offrent aussi de nouvelles opportunités pour les constructeurs américains [14, 15].

Ce déplacement de la chaîne des fournisseurs électroniques, est causé par plusieurs facteurs : le développement de l'*outsourcing* ou *offshoring* des compagnies américaines vers des pays comme l'Inde ou la Chine, dont les coûts de main d'oeuvre sont nettement plus attractifs, et la rapide croissance de la consommation des appareils électroniques en Asie, principalement la Chine. Actuellement, la Chine est le plus gros consommateur de puces électroniques avec 40 % des 166 M\$ (2003) des ventes globales de semiconducteurs, et représente le plus gros marché pour les téléphones cellulaires (20 % de la demande). Taiwan compte par ailleurs le plus gros fournisseur au monde de circuits intégrés : Taiwan Semiconductor Manufacturing Co. (TSMC).

Ce développement du marché asiatique provient aussi d'un changement global dans la chaîne de production des composants électroniques. En plus de l'augmentation d'entreprises *fabless*, où une compagnie sous-traite la réalisation de ses circuits par une entreprise étrangère, depuis quelques années, on assiste à un déplacement des laboratoires de recherche des grands leaders microélectroniques vers ces mêmes pays asiatiques. Selon les statistiques du *Trade Office*, Intel, AMD, TI et Motorola, ont investi plus de 2,2 M\$ en 2003 dans l'exportation de ses microprocesseurs en Chine.

Total number of US jobs moving offshore, 2003 to 2015

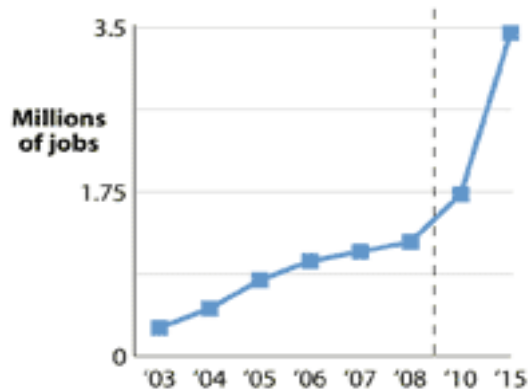


Figure 4 : Evolution du nombre d'emplois aux Etats-Unis vers l'étranger. Les principaux pays accueillant cette migration sont l'Inde (Software) et la Chine (Hardware).

Source : Forrester Research [16]

Aujourd'hui ces problèmes d'*offshoring* sont au coeur des débats et commencent à constituer un enjeu politique majeur pour la prochaine campagne présidentielle américaine dans le domaine de l'emploi. Selon le cabinet Gartner Dataquest Inc, un emploi sur dix dans les secteurs technologiques devrait s'expatrier avant 2010 (Fig. 4). Dans les quinze prochaines années, ce sont trois millions d'américains hautement qualifiés, qui pourraient s'exiler vers l'Asie, représentant 136 M\$ en salaires, selon Forrester Research. Cependant, certains experts parlant de l'*offshoring*, n'y voient pas uniquement une fuite de leurs meilleurs ingénieurs vers les pays asiatiques, mais aussi un moteur pour la compétitivité de l'industrie américaine afin de contrebalancer ce nouveau pôle [17].

D - La loi de Moore : un modèle de croissance

Depuis sa création, la loi empirique de Moore s'est imposée comme un modèle économique décrivant l'évolution technologique des circuits intégrés (CI), avec l'introduction d'une nouvelle génération de composants tous les deux ans. La dernière édition de l'ITRS montre un ralentissement de ces cycles, avec l'introduction de nouvelles générations de CI désormais tous les 30-36 mois, diminuant la pente de la courbe. Plusieurs raisons sont à la base de ce changement: d'une part, les difficultés technologiques auxquelles se heurte l'industrie, notamment le délai dans l'introduction de nouvelles techniques lithographiques, mais aussi au coût grandissant de la réalisation des CI. Grâce à ce ralentissement, les fondeurs auront ainsi plus de temps pour optimiser leurs bénéfices sur chaque génération de CI, et rentabiliser leurs dépenses⁴. Les investissements réalisés, par exemple, pour passer à la génération de plaquettes de 300

mm (12 pouces) ont du mal à être rentabilisés, dû à de faibles productivités de la part des fonderies.

Bien que l'évolution technologique des CI au fil des années ait toujours été régulée par deux facteurs, la technologie et le coût, le coût pour réaliser une fonction donnée a une nette importance aujourd'hui dans la poursuite de l'intégration des CI. Alors qu'à présent l'évolution des composants était définie en terme de performances à atteindre, par exemple la fréquence d'horloge pour les microprocesseurs, l'industrie microélectronique est peut-être à l'aube d'une nouvelle ère, où l'objectif ne sera plus principalement technologique, mais économique. Certains spécialistes du secteur, comme le Professeur Richard Dasher de Stanford, Directeur du *Center Integrated Systems* (CIS) [18], évoque ce changement de variables dans l'évolution des circuits. L'intégration ne sera peut-être plus simplement dictée par une fréquence d'horloge à atteindre, mais plutôt par le coût par fonction que l'on souhaite obtenir : que pourra-t-on fabriquer à partir d'une somme X ? Aujourd'hui, ces coûts de réalisation des composants deviennent exorbitants, d'une part à cause du niveau de complexité atteint par les circuits, et aussi par le nombre d'étapes de réalisation (dépôt, lithographie, gravure...), de simulations, de tests... Prenons l'exemple lithographique : avec des composants comportant une dizaine de niveaux d'interconnexions, entre 20 et 26 masques sont nécessaires à leur réalisation. Sachant qu'un masque coûte 100.000 \$ pièce, l'addition devient salée.

Compte tenu de ces changements de cycles, peut-on encore se fier à la loi de Moore? Oui, du moins tant que l'on parle de la filière silicium. Même si la pente de la courbe diminue au fil des années, ce modèle économique reste d'actualité, et constitue le baromètre technologique de l'industrie microélectronique. Comme le soulignait Gordon Moore lui-même, la croissance exponentielle du nombre de composants par circuit n'est pas éternelle, mais on peut différer cette échéance ⁵.

Un autre facteur important qui va poser problème dans l'évolution des CI selon la loi de Moore dans quelques années, est la consommation électrique croissante de la part des composants. Les besoins électriques de dispositifs comprenant toujours plus de composants ne pourront bientôt plus être assurés par des batteries, vidées en quelques minutes dans des appareils portatifs. Quel sera alors l'intérêt de systèmes électroniques sophistiqués si l'on ne peut utiliser qu'une partie de leurs capacités. A ce niveau, un travail est à effectuer sur les layouts des composants, les interconnexions et les systèmes de refroidissements.

⁴ Le paramètre ROI pour *Return On Investment*, autrement dit les bénéfices après dépenses, décrit cet aspect économique, et doit être maximisé.

⁵ "No exponential is forever; but we can delay forever". Gordon Moore, Intel, février 2003

E - Vers l'intégration continue des composants MOS

Si l'on regarde les prédictions de la roadmap 2003, la taille des grilles atteint 37 nm en 2004, et 20 nm en 2009. Si l'on sait réaliser des composants avec de telles dimensions aujourd'hui, il faudra, à l'avenir, nécessairement améliorer certains paramètres de fonctionnement des transistors, qui, dès l'année prochaine, ne permettront plus de respecter les requis. Parmi ces paramètres critiques, le courant de saturation I_{dsat} , les fuites à travers l'oxyde de grille ou la déplétion électrique au niveau des électrodes de grille, font l'objet de recherches actives. Ainsi, la poursuite de l'intégration des composants MOS se fera soit par l'introduction de nouveaux matériaux, soit par le développement de nouvelles structures. Sur un plus long terme (2010), le développement de nouveaux dispositifs logiques est nécessaire, où les méthodes Bottom-up⁶ se substitueront aux techniques Top-down⁶ actuelles.

Les transistors MOS (**Fig.5**) sont parmi les piliers de l'industrie et constituent la plupart des dispositifs présents autour de nous. Ces transistors sont utilisés principalement dans deux types d'applications :

- haute-performance, ce sont les puces MPU (*MicroProcessor Unit*) des ordinateurs de bureau et des serveurs ;
- à faible puissance, comme les dispositifs mobiles.

Le paramètre clé pour les applications haute-performance est sa vitesse de calcul, au détriment de fuites de courant importantes, avec l'objectif d'améliorer la vitesse des dispositifs de 17 % par an. Pour les dispositifs de faible puissance, le but est de minimiser les fuites de courant, au détriment d'une plus faible vitesse de fonctionnement. Dans ce dernier secteur, deux types de dispositifs existent : ceux opérant à de faibles puissances (*Low Operating Power* : LOP), pour les applications mobiles nécessitant une grande vitesse de calcul (laptop) et des batteries à large capacité, et ceux pour les applications à faible puissance de veille (*Low Standby Power* : LSTP), pour les téléphones cellulaires. Les applications LSTP ont les courants de fuites $I_{sd,leak}$, les plus faibles possibles, mais avec des performances plus faibles que les LOP.

⁶ La méthode Top-down est similaire au travail d'un sculpteur qui, à partir d'un bloc de marbre brut, va graver les formes souhaitées dans le matériau ; ce sont les opérations de dépôt, lithographie, gravure, ... de l'industrie microélectronique actuelle. Les dimensions atteintes dépendent alors de la précision des outils. L'approche Bottom-up fait appel à la manipulation de nouvelles classes de matériaux sur un substrat vierge qui va servir de support de croissance aux structures désirées ; ce sont les techniques d'auto-assemblage des nanofils de silicium et des nanotubes de carbone qui permettraient de révolutionner ce domaine technologique.

A partir d'un modèle commun, l'intégration des MOS se base sur la diminution de leurs dimensions physiques pour améliorer les performances. Il s'agit de maximiser le courant passant à travers le transistor tout en ayant des tailles moindres pour augmenter la fréquence d'horloge des microprocesseurs par exemple. Parmi les paramètres clés, on trouve : l'épaisseur de l'oxyde de grille (EOT), le courant de saturation I_{dsat} , la tension de seuil (V_t), la puissance fournie (V_{dd}). Le paramètre caractérisant la performance du transistor est sa constante de temps NMOS où $\tau = C \cdot V_{dd} / I_{dsat}$, avec C la capacité totale du transistor NMOS avec une longueur de grille L_g et un courant de saturation I_{dsat} . A paramètres égaux, I_{dsat} doit être maximisé pour diminuer le temps τ .

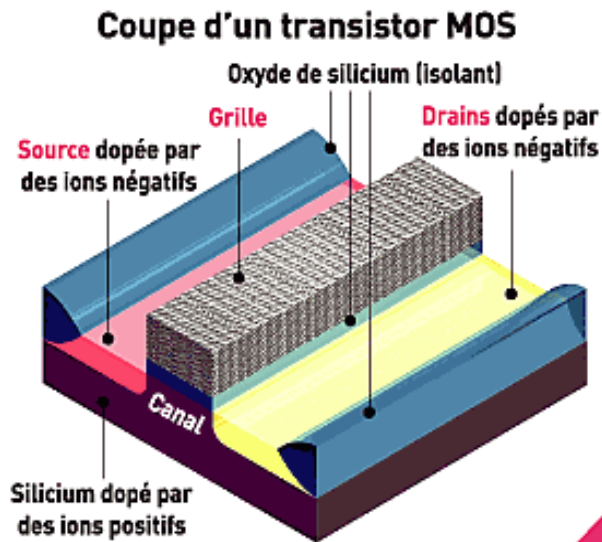


Figure 5 : Type de transistor MOS : sur un substrat dopé positivement ou négativement, et avec des zones de sources et drains dopés inversement par rapport au substrat, en appliquant une certaine tension à la grille, les électrons ou les trous, suivant le dopage du substrat, transitent entre la source et le drain pour créer un courant électrique. La tension appliquée à la grille règle la largeur du canal de conduction et ainsi l'intensité du courant véhiculé.

Source : CEA

Les principaux paramètres à améliorer sont les suivants :

1 - Optimiser le courant de saturation I_{dsat} :

Le premier challenge pour les applications haute-performance est de maximiser I_{dsat} tout en minimisant les fuites de courant $I_{sd,leak}$. Un moyen pour y arriver est d'augmenter la mobilité des porteurs de charge au delà de leur valeur standard dans le silicium ($1500 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$). Depuis quelques années, des techniques se sont développées pour améliorer leur mobilité, jusqu'à un facteur **1,3**, en imposant des contraintes en tension dans les couches de Si où les électrons circulent.

La tension mécanique dans les solides cristallins résulte du déplacement des atomes dans la maille cristallographique. Cette

valeur de tension peut créer un changement des propriétés du matériau semiconducteur en modifiant l'énergie de la bande interdite et en réduisant la masse effective des électrons dans la région en tension, améliorant ainsi leur mobilité suivant la relation :

$$\mu = q T / m^*$$

où μ est la mobilité des porteurs de charge, q la charge, T le libre parcours moyen et m^* leur masse effective.

Cette région de Si en tension est réalisée généralement par dépôt épitaxial de Si sur une couche de SiGe, dont les mailles cristallographiques diffèrent (**Fig.6**). Si la couche de silicium est suffisamment fine, à l'interface entre les deux matériaux, se crée une couche de Si exempte de défauts et hautement tendue. On parle de *Strained Silicon*.

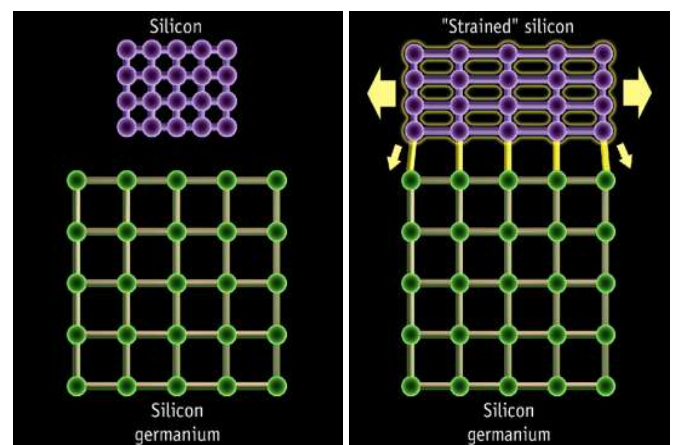


Figure 6 : *Strained Silicon* où une couche de silicium en tension permet d'améliorer la mobilité des charges ; en s'adaptant à la maille cristallographique de SiGe, des contraintes en tension se forment dans la couche de Si déposée, étirant la maille cristallographique.

Lors de la conférence **International Electron Devices Meeting** se déroulant à Washington en décembre dernier, de nombreuses compagnies montraient leur bon résultat avec l'introduction de ce procédé pour leur nouvelle génération de puces. Intel utilise déjà cette technique pour booster les performances de ses puces Pentium 4 (Prescott) et Centrino, et a annoncé une amélioration de leurs performances de 10 à 20 % avec seulement une augmentation des coûts de 2 % [19]. IBM en dote également ses processeurs G5 destiné à équiper la prochaine génération de PowerPC d'Apple. A la différence d'Intel, IBM utilise des substrats SOI (*Silicon On Insulator*) en combinaison avec cette technologie "*Strained Silicon*". AMD et Synopsis (Sunnyvale, Californie) ont fait part de leur nouvelle méthode pour introduire des contraintes en tension dans de fines couches de silicium. Sur un substrat SOI totalement appauvri FDSOI (*Fully Depleted SOI*) avec un canal de conduction ultramince (10 nm) et des grilles en NiSi, leur dispositif peut contrôler cette contrainte en tension en utilisant une force intrinsèque induite par l'ajout de nickel lors de la dernière phase thermique de réalisation du transistor,

empêchant ainsi toute relaxation. Leurs résultats montrent des mobilités améliorées de 22%. AmberWave Systems Inc. (New Hampshire), spécialistes dans la production de films de *Strained Silicon*, ont démontré une augmentation de 17% de la vitesse des porteurs de charge avec une réduction de 34% de la consommation électrique [20].

2 - Minimiser les fuites de courant :

Le second grand challenge est de minimiser les pertes de courant par effet tunnel des électrons circulant dans le canal de conduction, à travers l'oxyde de grille SiO_2 . A chaque génération de composants, la longueur des grilles est réduite, et il en va de même pour l'épaisseur de l'oxyde de grille, qui atteint aujourd'hui 1,2 nm. Selon les projections de l'ITRS, à partir de 2006, les fuites de courant ne permettront plus de respecter les requis, pour une épaisseur de diélectrique SiO_2 inférieure au nm.

Une des solutions pour pallier ce problème est d'introduire de nouveaux matériaux pour réaliser les oxydes de grille, et dont la constante diélectrique k est plus élevée, permettant ainsi de maximiser l'épaisseur physique du diélectrique. On parle de **matériaux high-k** pour la prochaine génération de composants, qui ont des constantes k plus importantes que le SiO_2 : en moyenne entre 9 et 25 contre 3,9. La famille des oxydes d'Hafnium HfO_2 , Al_2O_3 et le ZrO_2 sont parmi les matériaux candidats à la succession de la silice.

En plus de ses propriétés d'isolant électrique, le matériau retenu devra également être compatible avec la chaîne de production de l'industrie microélectronique, ce qui pour l'instant a constitué un problème majeur à l'intégration de bon nombre de matériaux.

En novembre dernier, Intel annonçait son ambition de minimiser les pertes d'énergie dans les microprocesseurs en introduisant un nouveau diélectrique de grille dont la formule reste soigneusement secrète pour l'instant, et qui, selon les chercheurs, permettrait de réduire les pertes d'un facteur 100 [21]. Selon toute vraisemblance, l'introduction de cette technologie devrait se produire en 2007 pour le node hp 65nm. Texas Instrument Inc. (Dallas, Texas) a présenté, en décembre dernier, de bons résultats en utilisant un diélectrique high-k (HfSiON) avec une grille conventionnelle en PolySi, délivrant une bonne stabilité pour la tension de seuil (V_t) [22]. Récemment, Tegal Corp. (Petaluma, Californie), spécialiste dans les techniques de gravure par plasma et les appareils de dépôt, et Sharp Inc. se sont associés pour accélérer l'adoption et l'intégration des matériaux high-k dans les chaînes de production [23]. Ce programme conjoint se base sur la technologie brevetée *Nano Layer Deposition* (NLD) pour déposer des couches ultrafines de nouveaux matériaux diélectriques. Selon VLSI Research Inc. (Santa Clara, Californie), le marché pour les appareils de dépôt de ce type de matériaux, comme le NLD ou l'ALD (*Atomic*

Deposition Layer), est stratégique, et devrait croître de 100 m\$ aujourd'hui, à plus de 1,3 M\$ en 2008 [24].

3 - Minimiser la déplétion électrique dans les électrodes de grille :

Le remplacement du matériau de l'oxyde de grille appelle aussi au développement de nouveaux matériaux pour les électrodes de la grille réalisées aujourd'hui en Si polycristallin dopés n+/p+. Avec la réduction des dimensions, il se forme dans les électrodes de la grille une zone de déplétion gênant ses performances. En régime d'inversion, la déplétion augmente l'épaisseur équivalente de la couche d'oxyde (de 0,3 à 0,4 nm) et réduit la valeur maximale de I_{dsat} . A partir de 2007, l'oxyde de grille atteindra des épaisseurs de 0,9 nm, et les électrodes en PolySi ne pourront plus maintenir un courant de saturation I_{dsat} suffisant pour atteindre des performances acceptables (17%/an). Des électrodes métalliques avec une double fonction de travail sont une des solutions pour remplacer le polySi utilisé. Pour régler V_t à une valeur appropriée pour les PMOS, la fonction de travail de l'électrode métallique doit se situer près de la bande de valence (similaire au polySi dopé p+), alors que pour le NMOS la fonction de travail doit être près de la bande de conduction (polySi n+). Cette différence de métallisation induira une complexité et un coût plus élevé à la réalisation, souligne le Dr Yoshio Nishi du C.I.S. de Stanford, et également Directeur du *Stanford Nanofabrication Facility*, centre de recherche sur le développement de procédés et matériaux pour les nanotechnologies.

4 - Effet de canal court :

Parmi les autres effets pouvant gêner les performances des circuits avec la réduction des dimensions, se trouve l'effet dit de canal court ou "*short channel effect*". Quand la longueur du canal de conduction approche les largeurs de déplétion de la source et du drain, les électrons ne circulent plus librement dans le canal et la tension de seuil ainsi que le courant de saturation, s'en trouvent fortement diminués : c'est l'effet des canaux courts. Des dopages importants sont nécessaires pour réduire cet effet, mais entraîne une mobilité des porteurs réduite et une diminution de la vitesse d'opération. D'autre part, à de telles dimensions, le nombre total de dopants devient relativement faible, ce qui conduit à des variations statistiques de la tension de seuil V_t très importantes. Ce problème est réglé généralement en utilisant des structures de type SOI totalement appauvries (type FDSOI), où une couche d'oxyde est enterrée (>100 nm) sous la surface d'un substrat de Si. L'intérêt d'utiliser des dispositifs SOI vient de leur capacité à isoler électriquement les différentes structures du transistor et réduire les pertes de courant dans le substrat.

F - Optimiser la transmission des signaux

Le domaine des interconnexions fait partie d'un chapitre à part entière dans l'ITRS. L'enjeu de ce secteur est d'améliorer la conductivité des interconnexions tout en minimisant les fuites éventuelles lors de la transmission du signal électrique. Pour cela, les ingénieurs travaillent conjointement sur les isolants low-k et sur le packaging pour permettre d'optimiser la transmission des signaux dans les CI.

1 - Interconnexions (Fig.7) :

La version 2003 de l'ITRS continue de refléter un taux de réduction plus lent que prévu dans la valeur effective de k pour les MPUs et ASICs. Le problème de l'envol de la résistivité des interconnexions est un problème à court terme et deviendra critique dès le *node hp* 65 nm (2007). Aujourd'hui, l'industrie a presque complété sa transition vers des connexions en cuivre. Le cuivre est meilleur conducteur électrique que l'aluminium, et les signaux circulent ainsi plus rapidement à travers les couches métalliques des circuits. Ce changement représente un des événements majeurs pour les procédés *Back End*, et la recherche se porte désormais sur des isolants avec des constantes diélectriques plus faibles (low-k), pour améliorer l'isolation entre les différents niveaux d'interconnexions et diminuer les effets capacitifs.

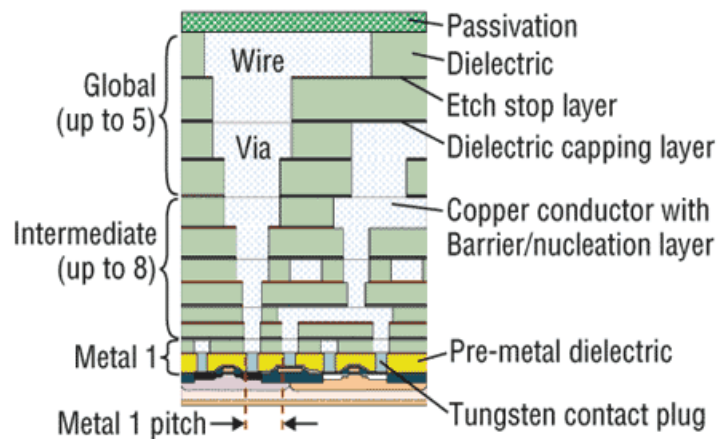


Figure 7 : Coupe d'un circuit intégré montrant le réseau d'interconnexions sur plusieurs niveaux : les CI comptent aujourd'hui de nombreux niveaux d'interconnexions, qui doivent être isolés les uns des autres par des matériaux low-k, ceci afin de conserver l'intégrité des signaux transmis.

Lors de l'**International Symposium on Physical Design 04** tenu à Phoenix en mars dernier, James Meindl, Directeur du *Microelectronics Research Center* au *Georgia Institute of Technology* (Atlanta, Georgie) [25], a expliqué que " la tyrannie des interconnexions menaçait le timing, la puissance et le coût de la prochaine génération de composants " [26]. Meindl a souligné que les interconnexions sont devenues un facteur clé pour le paramètre de latence des circuits, la

dissipation de l'énergie, et les niveaux de masque. A 100 nm, le délai intrinsèque de commutation d'un MOSFET est de 5 ps (10^{-12} s), tandis que le temps de réponse RC pour 1 mm d'interconnexions est de 30 ps. A 35 nm, ce rapport de 1 sur 6 passe à 1 sur 100. A 100 nm, l'énergie de commutation de l'interconnexion est 5 fois celle du MOSFET, et à 35 nm, cette valeur pour l'interconnexion est 30 fois plus grande.

Georgia Tech. abrite un projet intitulé *Interconnect Focus Center* [27], financé par la DARPA, regroupant une douzaine d'universités dans le cadre du *Focus Center Research Program*. Concernant les interconnexions électriques, les chercheurs se tournent par exemple vers les nanotubes de carbone, qui présentent une faible résistivité, de petites dimensions, de fortes densités de courant, pas d'électromigration, et une forte conductivité thermique. Au niveau des recherches sur les interconnexions en Cu, Novellus Inc. (Santa Clara, Californie) a récemment créé un centre de recherche en partenariat avec l'université de Fudan à Shanghai (Chine) [28], et l'a équipé de derniers dispositifs BEOL (*Back End Of Line*) incluant un appareil de PECVD IMD⁷, de Cu ECD⁸, une machine CMP⁹ pour le Cu,... Le Cuivre dopé apparaît également comme une solution potentielle pour améliorer la fiabilité du Cuivre, mais ceci est contrebalancé par l'augmentation de résistivité dans le matériau.

D'autres solutions plus novatrices, sont envisagées au centre de Georgia Tech, avec des techniques de communications optiques dont les débits sont de 40 Tbit/s, ou un programme de communication sans fil. Une des options est de bouger certaines interconnexions de la puce principale vers des niveaux de métallisation plus épais, disposant de meilleures performances sur le package ou vers une puce supplémentaire destinée aux interconnexions seules. Ces signaux seraient ensuite retransférés vers la puce primaire par des procédés optiques (intégration d'un laser VCSEL¹⁰ avec guide d'onde et détecteurs), ou des techniques RF (on parle de systèmes "*LAN on a chip*" avec des émetteurs et des récepteurs combinant antennes et signaux appropriés). Intel travaille notamment à de telles solutions, avec des connexions puce à puce d'un débit de 15 Gbits/s. Avec un financement (30m\$) de la DARPA sous son programme *High Productivity Computing System* (HPCS), IBM et Agilent Technologies (Palo Alto, Californie) se sont associés pour développer des modes d'interconnexions optiques avec pour objectif le Terabit/s [29]. Corning Inc. (New York) collabore également avec IBM sous un financement de 20 m\$ du DoE pour développer des interconnexions optiques pour les super-ordinateurs [30].

⁷ PECVD IMD : Méthode de dépôt en phase vapeur (Plasma Enhanced Chemical Vapor Deposition) spécialisée dans les diélectriques low-k (InterMetal Dielectric)

⁸ Copper ECD : Méthode de dépôt électrochimique du cuivre (ElectroChemical Deposition)

⁹ Copper CMP : Méthode de planarisation des surfaces de cuivre après processing (Chemical Mechanical Polish)

¹⁰ Laser VCSEL : Vertical Cavity Surface Emitting Laser

D'autres alternatives font appel à des câbles moléculaires ou à la spintronique qui fournit la transmission d'un signal par injection de paquets d'électrons polarisés en spin.

2) Diélectriques low-k :

Outre le fait d'être technologiquement réalisable, le matériau **low-k** doit pouvoir être inséré dans la chaîne de production des composants ; il doit être fiable, et peu coûteux. Les valeurs à atteindre sont $k < 3$ dans sa forme dense. En dessous de ces valeurs, la densité doit être diminuée, en formant des composés poreux et mésoporeux¹¹.

Depuis le début des années 90, de nombreuses recherches ont porté sur le développement de nouveaux matériaux low-k afin de diminuer les problèmes de *cross-talk* entre les lignes de connexions adjacentes. Bien que de nombreux matériaux aient été développés, comme le *Fluoro Silicate Glass* (FSG) des technologies 0,13 μm avec $k \approx 3,5-3,7$, l'intégration de ces matériaux en production n'a pas eu lieu, à cause de problèmes techniques et d'un surcoût élevé.

Aujourd'hui, parmi les candidats diélectriques low-k pour la génération 90 nm (**Fig.8**), sont envisagés des films PECVD produits en remplaçant une partie de l'oxygène du SiO_2 par des groupes méthyl. Ces types de film appartiennent à une catégorie appelée *Carbon Doped Oxide* (CDO). De nombreuses entreprises travaillent au développement de ces nouveaux matériaux low-k : ASM, Applied Materials Inc. (Santa Clara, Californie), Nanopore Inc. avec le Sandia National Laboratories (Albuquerque, Nouveau Mexique), Dow Chemical Company, laquelle a notamment breveté des types de matériaux SiLK¹² [31].

Si l'on regarde au-delà du *node* hp 65 nm, l'idée d'avoir des diélectriques avec un $k < 2,6$, traduit le besoin de matériaux poreux. Ces films sont soit déposés par PECVD, ou par une méthode de spin-on impliquant le dépôt d'un porogène. Des chercheurs de l'université du Massachussets, du Amherst College (Massachussets) et de Novellus Inc. sont arrivés à créer des films de silicate mésoporeux à partir d'un processus de biominéralisation inspiré de la nature [32]. De la même manière que des structures biominérales (os) croissent à partir d'un modèle moléculaire, James Watkins *et al.*, ont utilisé des blocs copolymères pour contrôler la structure poreuse de ces oxydes métalliques. Le matériau résultant dont la constante k atteint 2,2, a été déposé rapidement (30 minutes) et possède

¹¹ Les matériaux mésoporeux sont similaires aux matériaux poreux, mais avec une structure des pores (de 2 à 50 nm) périodique. Ce type de matériau à large surface le rend intéressant en tant qu'absorbant ou catalyseur.

¹² Le SiLK est une résine diélectrique qui, selon les résultats de la compagnie, améliore de 30 % les performances des CI avec des interconnexions classiques de Cu/SiO_2 , et réduit la dissipation d'énergie de 20 %.

de bonnes propriétés mécaniques pour résister aux opérations de CMP.

k* values and porosity data for typical dense and porous low-k films

	<i>k</i> value	Porosity (%)	Average pore size (nm)
CVD FSG	3.6	<10	1
CVD SiCHO	2.9	5–15	1
Dense MSQ (e.g., Zirkon)	2.7	17	1
Porous MSQ (22.5% porogen)	2.26	35	3
LKD5109	2.2	39	3
XLK	2.0	50	4
Porous SiLK	2.2	30	4

Figure 8 : Matériaux potentiels pour remplacer le SiO_2 isolant les interconnexions des CI. La réalisation de matériaux poreux optimise la diminution de la constante k , mais nécessite d'être améliorée afin d'éviter l'absorption d'autres matériaux dans les pores. Source : Solid State Technology

Un des enjeux fondamentaux pour l'intégration des matériaux poreux low-k en production, est la difficulté de cohabitation avec le cuivre des interconnexions *dual damascene*¹³, procédé utilisé aujourd'hui pour créer les interconnexions avec de fortes densités sur plusieurs niveaux. Leur autre désavantage vient des techniques de dépôt CVD ou ALD qui pénètrent les pores, et des méthodes pour les sceller temporairement sont alors nécessaires.

G - Nouveaux matériaux pour les substrats

L'ajout de nouveaux matériaux à la technologie silicium devrait fournir de meilleures vitesses, une consommation électrique plus faible, une meilleure dissipation de la chaleur, et des fonctionnalités RF ajoutées. L'*Emerging Material Team* de l'ITRS travaille sur ces objectifs. Pour la version 2003, le groupe a sélectionné parmi les sujets d'intérêts : les composants MOSFET à base de Germanium, le Silicium isotopiquement pur, et les composants optoélectroniques intégrés au silicium.

¹³ Méthode de réalisation d'interconnexions multi-niveaux avec de forte densités

1) MOSFET Ge :

Bien que le premier circuit intégré utilisait le Germanium comme semi-conducteur, ce matériau a été éclipsé par la suite par le Silicium, dont l'oxyde SiO_2 a plus de stabilité. Depuis des générations, le SiO_2 a fourni un meilleur matériau pour passiver des surfaces et a constitué un bon diélectrique de grille. Cependant, à court terme, il conviendra de changer de matériau, car les fuites au travers de l'oxyde de grille ne deviendront plus acceptables. Parmi les solutions, des transistors à base de Ge sont développés.

Le Germanium ne forme pas un oxyde stable, limitant son utilisation dans les méthodes de réalisation des CMOS. Il s'oxyde à l'air, ce qui laisse des couches interfaciales d'oxyde. L'avantage optimal du Ge est l'amélioration de la mobilité des électrons (3900 vs $1500 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$), et de meilleures propriétés d'interface par rapport au Si, avec le futur matériau des diélectriques de grille. La mobilité double pour les électrons et quadruple pour les trous (1900 vs $450 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$). La maille de Ge est similaire à celle du GaAs, ce qui rend possible l'intégration de dispositifs optoélectroniques et photoniques. Les désavantages du Ge sont un fort coût, sa fragilité mécanique, une forte densité de défauts, un point de fusion plus bas que le Si et une conductivité thermique plus faible. Le Ge a aussi une bande interdite moins large que le Si ($0,7 \text{ eV}$ vs $1,1 \text{ eV}$), qui peut causer des problèmes de fuites aux jonctions.

En mars dernier, Applied Materials Inc (Austin, Texas) et l'entreprise française Soitec, basée à Bernin, ont annoncé leur partenariat pour développer de nouveaux substrats *Germanium-On-Insulator* (GeOI) [33]. "La technologie de dépôt par épitaxie développée par Applied peut être adaptée à la réalisation de fines couches de germanium pur", selon Per-Ove Hansson, Directeur de la section Epi d'Applied. Pour développer les recherches sur de futurs MOSFET en Ge, Applied a également donné des appareils d'épitaxie au MIT et Stanford (CIS).

2) Silicium isotopiquement pur :

Il est possible d'améliorer les problèmes de dissipation de chaleur dans les composants en utilisant du Si isotopiquement pur. Cette technique se base sur la présence d'isotopes de Si de masse similaire, ce qui permet d'éviter la diffusion des phonons et induire une meilleure conductivité thermique dans le matériau. L'isotope Si^{28} permet d'obtenir de telles propriétés. La méthode de séparation des isotopes reste cependant chère, et il convient de développer ces techniques, puis comparer leur coût par rapport aux bénéfices induits par le Si isotopique pur. La société Isonics (Golden, Colorado) travaille sur le développement de matériaux Si^{28} [34].

3) Optoélectronique intégrée au Si :

Il y a aujourd'hui un besoin d'introduire des technologies compatibles avec le Si des transistors pour développer la communication optique à haute vitesse sur la puce, ou de puce à puce. L'intégration monolithique d'émetteur, récepteur et guide d'onde avec les Si CMOS est un des grands challenges des microsystèmes. L'émission et la détection de lumière représente un autre grand enjeu, considérant l'intégration de dispositifs optoélectroniques sur des puces CMOS, en raison du gap indirect du Si et de sa difficulté d'utilisation pour de telles applications.

H - Structure des transistors

Outre le fait d'améliorer les paramètres de fonctionnement des CMOS planaires actuels, l'industrie des semiconducteurs devra obligatoirement introduire de nouvelles technologies pour continuer l'intégration des composants à des échelles inférieures à 45 nm (2009). Le chapitre *Emerging Research Devices* de l'ITRS décrit ces différentes structures.

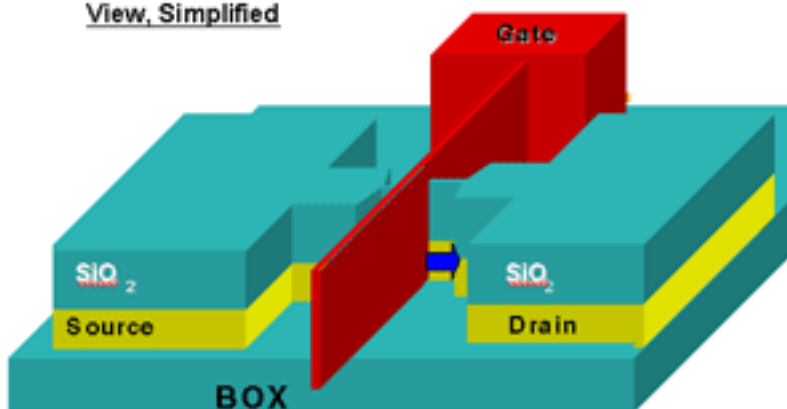
Parmi les dispositifs CMOS non classiques, une manière d'optimiser le fonctionnement des composants est d'augmenter le nombre de grilles actives.

1) MOSFET à double grille :

Depuis leur création il y a une quarantaine d'années, les transistors s'organisent sur une surface plane, la source et le drain de chaque côté d'un canal de conduction. Les dimensions des MOS devenant tellement petites, il devient nécessaire de rechercher de nouvelles structures permettant de maximiser les performances atteintes. Parmi ces dispositifs se trouvent le FinFET (**Fig.9**), développé par les laboratoires de UC Berkeley il y a quelques années. Construit sur un substrat SOI, le silicium est gravé à la manière d'un aileron (*Fin*) ; la grille est réalisée autour et sur l'aileron, similaire à une structure double-grille.

Dans cette structure à double grille, la largeur de l'aileron vertical est très fine (plus faible que la largeur du canal) pour fournir un contrôle adéquate des effets de canal court. Une grille définie lithographiquement entoure l'aileron, formant des électrodes de grille auto-alignées et connectées entre elles le long des parois de l'aileron. Le principal avantage de cette structure est un layout et un procédé s'apparentant aux dispositifs planaires. La difficulté est la réalisation d'un aileron fin, qui nécessite d'être une fraction de la longueur de grille, nécessitant des techniques sub-lithographiques.

**Perspective
View, Simplified**



Top View

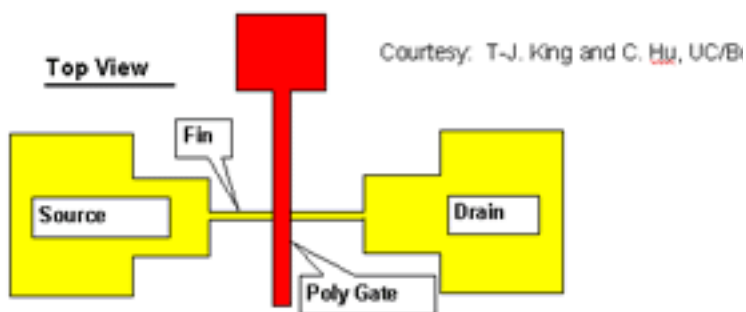


Figure 9 : Dispositif FinFET : dans ce transistor, un aileron très fin surmonte le canal de conduction de manière perpendiculaire.

Pour remédier aux problèmes de lithographie, certains transistors double grille utilisent l'épithaxie pour définir la longueur du canal. Un type de transistor vertical fonctionne suivant ce procédé : le courant circule verticalement entre la source et le drain, orthogonalement au substrat le long de deux ou plusieurs surfaces du canal. La longueur de la grille, est définie par l'épaisseur de la couche déposée, au lieu d'un procédé lithographique. Les électrodes de grille sont reliées entre elles et auto-alignées verticalement avec les régions de drain et source. L'inconvénient de cette structure est un procédé difficile à réaliser et un layout différent de ceux des transistors planaires.

2) MOSFET multigrilles :

Dans les structures à plus de deux grilles, le courant circule horizontalement, parallèlement au plan du substrat entre la source et le drain. La présence de plusieurs grilles fournit un meilleur contrôle électrostatique du canal. Les électrodes sont formées par le dépôt d'une couche de grille définie lithographiquement. Elles sont ensuite reliées électriquement et auto-alignées avec les régions de source et drain. De tels dispositifs en trois dimensions fournissent un meilleur contrôle sur les fuites de courant et les effets de canaux courts. Le transistor d'Intel Trigate (**Fig.10**) emploie une structure 3D, qui permet de tripler l'espace disponible

pour le transport des signaux, améliorant ses performances [35].

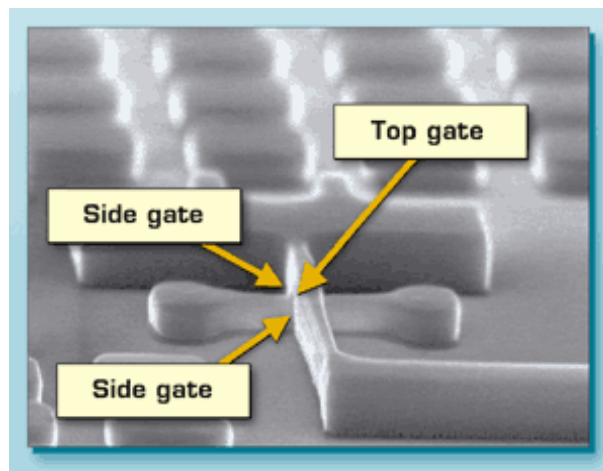


Figure 10 : Transistor Trigate développé par Intel : leur dispositif a la forme d'un tunnel, et l'électricité circule sur la partie interne de l'arche, dont la surface est plus grande que pour les canaux de conduction classiques, induisant une plus grande stabilité du flux.

Source : Intel

Motorola a également développé un type de transistor multigrille MIGFET (Voir [13] Lettre Etats-Unis Sciences Physiques 9), où les grilles sont isolées électriquement et peuvent fonctionner indépendamment.

I - Nouveaux dispositifs logiques

En plus des dispositifs utilisant la technologie classique des CMOS, la solution pour continuer l'intégration des circuits sur un plus long terme, viendra du développement de nouveaux dispositifs. Le Dr Hans Coufal, Directeur de Recherche du Département de Science et Technologie à IBM Almaden, met l'accent sur l'importance du développement de nouvelles structures logiques, de l'auto-assemblage mimétique de la nature, aux dispositifs moléculaires, et transistors de spin, diverses alternatives sont recherchées pour permettre l'évolution continue des futurs transistors.

1) Single Electron Transistor (SET) :

Les SET sont des dispositifs logiques permettant de transférer les électrons de la source au drain un par un, l'électron représentant l'état logique du système. La structure d'un SET est similaire à celle d'un transistor classique (FET). La grande différence vient du fait que le canal est séparé de la source et du drain par des jonctions tunnels, et le rôle du canal est rempli par un puits quantique, les paramètres de fonctionnement du SET dépendant de la taille du puits quantique.

Les SET fonctionnent généralement à basse température. Pour des SET de 2 nm, à une température de 20 K, on obtient une densité d'intégration $n=10^{11}$ cm², et une vitesse de 1 GHz [36, 37, 38]. Leur intégration dans les circuits logiques devrait augmenter la densité des circuits et diminuer la consommation électrique. Parmi les inconvénients des SET, on trouve une forte probabilité d'avoir une erreur sur l'information des bits, due au bruit thermique ou une charge ambiante.

TI, en collaboration avec des chercheurs du *Swiss Federal Institute of Technology* de Lausanne et l'*US Air Force Research Laboratory* ont décrit, à la conférence **International Electron Devices Meeting 03**, une solution potentielle pour permettre aux SET d'opérer des fonctions logiques [39]. Une combinaison de SET et de CMOS standards, dans un système appelé SETMOS (**Fig.11**), a permis de fournir un gain et un courant suffisant pour réaliser des opérations logiques sur une échelle beaucoup plus petite qu'actuellement. La solution de l'utilisation des SET à une échelle commerciale pourrait être venue de ce type de technologie hybride.

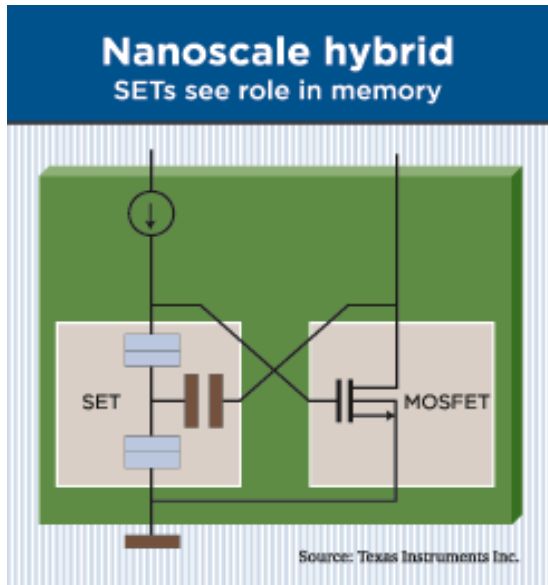


Figure 11 : SET développé par TI en collaboration avec le Swiss Federal Institute of Technology de Lausanne : la combinaison des MOS et des SET permet d'obtenir des courants plus importants.

Source : TI

Les premières applications des SET pourraient être dans les mémoires, ou dans des appareils servant à la métrologie comme des thermomètres ou électromètres supersensibles.

2) Transistors à 1D :

Les structures unidimensionnelles offrent plusieurs avantages comparées aux structures actuelles. A base de nanofils de silicium (NW) ou de nanotubes de carbone (CNT), ces structures ont des dimensions plus petites (diamètres

entre 1 et 20 nm), fournissent des mobilités plus grandes pour les porteurs de charge, par rapport aux systèmes où les électrons circulent dans le substrat, ainsi que des méthodes d'assemblage beaucoup moins coûteuses.

Nanotubes de carbone :

Les nanotubes de carbone (CNT) sont parmi les matériaux phares destinés à la poursuite de l'intégration des composants. Les nanotubes de carbone sont des tubes moléculaires formés d'une (ou plusieurs) couche d'atomes de carbone arrangés en réseau d'hexagones, similaire à la structure graphite du carbone. Les CNT ont des diamètres de 1 à 20 nm et des longueurs de 100 nm à plusieurs μ m. Le diamètre du tube est un des paramètres déterminant ses propriétés électroniques, et notamment la largeur de la bande interdite (structure métallique ou semiconductrice). Ces valeurs de gap vont de 0 (structure métallique) à des valeurs aussi grandes que le Si à 1,1 eV.

De nombreux groupes de recherche ont déjà réalisé des p-FET à partir de nanotubes (CNTFET) (**Fig.12**) dans lequel une électrode de grille module la probabilité tunnel et la conductivité de la barrière schottky tunnel entre la source et le canal, d'un facteur 10 ou plus, fournissant un fonctionnement On/Off similaire aux MOSFET [40].

Une recherche récente réalisée par des chercheurs de l'université d'Irvine (Californie) montre la réalisation d'un transistor haute fréquence avec des nanotubes. Le dispositif, à base d'un nanotube à simple paroi relié à deux électrodes en or, a montré qu'il opérait à de rapides fréquences micro-ondes (2,6 GHz). Parmi les problèmes dans le développement de ces dispositifs, la difficulté à les associer ou les placer correctement sur une surface en constitue une barrière majeure, de même que leur température de fonctionnement qui était de 4 K pour la recherche citée [41].

Aujourd'hui, les projets de recherche se multiplient sur ce thème aux Etats Unis. Girish Solanki, analyste à Frost & Sullivan (NY), prévoit que la demande globale pour les nanotubes de carbone atteindra 600 Millions de \$ (m\$) en 2010 [42]. En mars dernier, une équipe de UC Riverside a reçu un financement de 1,5 m\$ du Microelectronics Advanced Research Corporation (MARCO), pour faire des recherches sur la prochaine génération de matériaux nanométriques à base de CNT. L'équipe d'UCR travaille avec le *Focus Center Functional Engineered Nano Architectonics* (FENA) de UCLA sur des méthodes d'auto-synthèse des matériaux en vue de réaliser des biocapteurs et des NEMS (Voir [13] Lettre Etats Unis Sciences Physiques 9).

Nanofils de silicium (NW) :

Similaires aux CNT-FET, les transistors à base de nanofils sont constitués de deux structures : la première est un dispositif avec un canal constitué d'un nanofil semiconducteur de diamètre 10-20 nm. La seconde structure

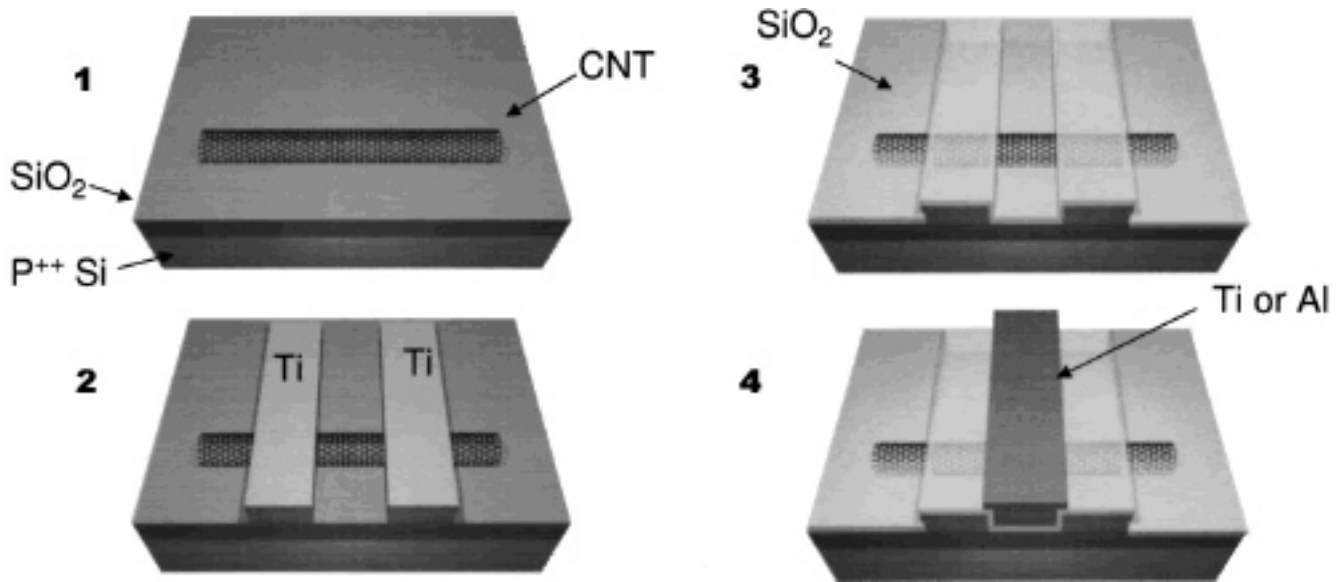


Figure 12 : Principe du CNTFET : le nanotube de carbone joint les zones de source et drain en Ti, surmonté par une grille du même type. Source : S. J. Wind, J. Appenzeller, R. Martel, V. Derycke, P. Avouris, *Journal of Vacuum Science Technology B* 20, 2798-2801 (2002).

s'apparente au croisement de deux nanofils avec un canal de type p et une grille GaN de type n séparés par un film SiO_2 .

De nombreux laboratoires se focalisent sur les nanofils de Si, plus faciles à intégrer à la filière silicium des industries que les CNT, mais également plus faciles à doper. Les arguments varient cependant, quant au potentiel théorique de l'amélioration de la mobilité dans les NW. Un des arguments indique que cette forte mobilité serait due à une probabilité réduite de la diffusion électron-phonon associée à une densité réduite des états. Dans une recherche récente, une forte mobilité a été démontrée dans des matériaux semiconducteurs Si de type p de 10 à 20 nm de diamètre, avec une valeur à $1350 \text{ cm}^2/\text{V} \cdot \text{s}^{-1}$ [43].

Ces techniques à 1D sont intimement liées à de nouveaux procédés de réalisation Bottom-Up des transistors. Il s'agit de l'auto-assemblage des structures nanométriques, qui est considéré comme un des procédés clés pour continuer l'intégration des circuits. Bien que cette technique ne soit pas développée dans l'ITRS, il apparaît intéressant d'en montrer quelques exemples récemment publiés par les laboratoires américains.

3) Méthode d'auto-assemblage :

Les chercheurs se concentrent sur l'utilisation de matériaux comme l'ADN, les polymères, ou les molécules inorganiques comme les nanoparticules d'or, pour permettre aux matériaux de s'auto-assembler suivant les formes, orientations et tailles désirées. Cette technologie est destinée à jouer un rôle important dans certains domaines comme la photonique, le stockage des données, les capteurs

biochimiques,...

- Une équipe de Penn State (Caroline du Nord) a reçu récemment (Octobre 2003) un financement de 1 m\$ de la part de la NSF, selon un programme intitulé *Nanoscale Interdisciplinary Research Team* (NIRT) [44]. Leur étude porte sur la manière d'assembler des nanofils métalliques et semiconducteurs à partir des forces fondamentales pour les circuits nanoélectroniques. A de telles échelles, l'arrangement de nanoparticules est perturbé par les forces attractives existantes qui induisent des agrégations aléatoires et le déplacement des particules. Les chercheurs travaillent notamment sur le contrôle de ces forces en utilisant des brins complémentaires d'ADN pour assembler les particules aux endroits désirés.

- IBM a annoncé le développement d'une technique d'auto-assemblage compatible avec les outils existants de manufacturing, rendant son utilisation attractive et abordable [45]. Leur technique fait appel à la tendance de certains types de polymères à s'auto-organiser. Kathryn Guarini *et al.* ont déposé un film de dibloc copolymère (mélange de polystyrène et PMMA¹⁴) sur un oxyde thermique lui-même déposé sur un substrat Si. Ils ont ensuite chauffé ce polymère jusqu'à ce qu'il se sépare suivant des cylindres nanométriques de PMMA dans une matrice polystyrène. Les tubes de PMMA étaient ensuite enlevés par un solvant organique, et la couche résultante de polystyrène poreux pouvait servir de couche sacrificielle pour la définition de nanocristaux. Selon IBM, ces techniques pourraient être utilisées en pilote dans 3 à 5 ans. Pour l'instant, les chercheurs s'en sont servis pour réaliser des mémoires Flash, à partir d'un réseau dense de nanocristaux.

¹⁴ PPMA : polypropylmethacrylate

- Des chercheurs de UC Berkeley et de Stanford ont fabriqué un circuit qui combine des CNTFET avec des transistors traditionnels [46]. Les chercheurs ont fait croître des CNT sur une portion de puce en Si contenant des connexions en molybdène, un métal capable de résister aux fortes températures nécessaires pour la croissance des nanotubes. La puce prototype contient des milliers de transistor Si et des centaines de CNTFET.

- Des chercheurs de l'*University of South California* avec la *NASA Ames Research Center* (Californie) ont testé avec succès une mémoire moléculaire auto-assemblée [47], dont la capacité de stockage atteint selon eux, 40 Gbit/cm². A cause du faible coût de ce type de technique, ces dispositifs pourraient remplacer les mémoires Flash de Si largement utilisées aujourd'hui dans les appareils photos numériques. Les chercheurs ont synthétisé des nanofils de In₂O₃ de 10 nanomètres de diamètre et 2 µm de longueur, par un procédé d'ablation laser qui vaporise un composé à base d'indium, puis le précipite dans une réaction catalysée où l'In réagit avec l'Oxygène pour former les nanofils.

- En février dernier, une équipe de l'*Oregon Health and Science University* a découvert une manière de faire croître des nanofils de Si sur une électrode [48]. Les chercheurs ont utilisé des champs électriques pour contrôler la croissance des NW. Raj Solanki, qui mène cette étude, a fait croître ces NW dans un réacteur de quartz, par une technique de dépôt développée il y a de nombreuses années dans les laboratoires Bells, et appelée "*vapor-liquid-solid deposition*". Ce programme fait suite aux recherches sur la méthode *Atomic Layer Deposition*, pour réaliser des films très fins de haute qualité, en déposant les couches atomiques une par une. Cette recherche a été financée par Intel, Sharp Laboratories Inc. et FEI Corp.

Même si la conductivité par unité de longueur des nanotubes et des nanofils est élevée, le fait que les dimensions transverses des CNT et NW-FET soient quantifiées en unité de diamètre de tube individuel (1-20 nm), le courant produit par un simple nanotube ou nanofil résultant sera toujours limité, à moins qu'un grand nombre de ces structures ne soient combinées en parallèle. Un autre problème associé à la structure 1D, est la résistance de contact entre la structure et le substrat. Même si le transport dans la structure 1D est de type ballistique, il sera limité par les contacts électriques.

4) Dispositifs moléculaires :

Un nouveau type de composants électroniques utilise le transport électrique par le biais des molécules. Ces molécules ont un comportement stable, et peuvent être chimiquement auto-assemblées. Un potentiel appliqué à une molécule permet la reconfiguration des composants moléculaires, ainsi qu'un changement de ses propriétés de conduction. Le mécanisme exact du transport de charge

dans de tels dispositifs n'est pas parfaitement compris. Un modèle assimile le changement des propriétés électriques de la molécule, à une modification du recouvrement de certaines orbitales moléculaires, ce qui permet aux électrons de circuler à travers la molécule. Quand ce recouvrement est altéré, par un changement de géométrie dû, par exemple, aux champs appliqués, le flux électronique est modifié. Il faut cependant noter qu'une étude récente suggère que les résultats sur le transport électronique dans les molécules étaient faussés et influencés par les artefacts expérimentaux. Un problème majeur dans l'intégration de ces technologies moléculaires, est la difficulté d'attacher des connexions électriques aux molécules.

Certains chercheurs restent perplexes dans l'utilisation de mémoires moléculaires dans l'industrie microélectronique en raison des hautes températures ou du nombre de cycles d'opération (jusqu'à 1000 milliards) qui peuvent altérer son fonctionnement. Des scientifiques de UC Riverside et de North Carolina ont cependant démontré que ces mémoires moléculaires pouvaient être pratiques et durables [49]. L'équipe a attaché des molécules de porphyrine¹⁵ avec des propriétés électroniques spécifiques à une surface électroactive, stockant l'information sous la forme des charges positives de la molécule. Après une série de tests, les molécules se sont avérées extrêmement robustes et stables. Les éléments de stockage à base de porphyrine exhibent des temps (plusieurs minutes) de rétention des charges longs comparés à ceux des DRAM actuelles (dixième de milliseconde). Ils ont également prouvé que la molécule était stable sous des températures de 400 °C et après 1000 milliards de cycles lecture-écriture. Cette recherche a été financée par ZettaCore Inc. (Denver, Colorado) en collaboration avec le programme Moletronics de la DARPA [50].

Récemment a été créée la *Molecular Foundry* à UC Berkeley, qui constitue un des cinq centres de recherche *Nanoscale Science Research Center* (NSRC) financé par le DoE, faisant partie de l'initiative de la NNI [51]. Ce centre s'occupe principalement de la synthèse, design et caractérisation de nanomatériaux pouvant constituer les composants futurs.

5) Spintronique :

Les dispositifs à base de spintronique, SpinFET ou "valves de spin" (Voir [52] Lettre Etats Unis Sciences Physiques 10) reposent sur la modulation du courant par les effets de couplage de spins. Le concept de Spin FET (**Fig.13**) est basé sur un transistor avec une bande interdite étroite et des contacts source et drain ferromagnétiques. Les sources et drains ferromagnétiques permettent l'injection et la collecte d'électrons avec des spins polarisés et contrôlés par le

¹⁵ La porphyrine est une molécule organique dont la configuration ressemble à celle de la chlorophylle.

courant de la grille. Les transistors “*spin valve*” ressemblent à des transistors bipolaires. Ils se composent d’un émetteur et d’un collecteur séparés par des multicouches de métaux ferromagnétiques. Même si de tels dispositifs ont déjà été réalisés, les courants obtenus sont restés très faibles.

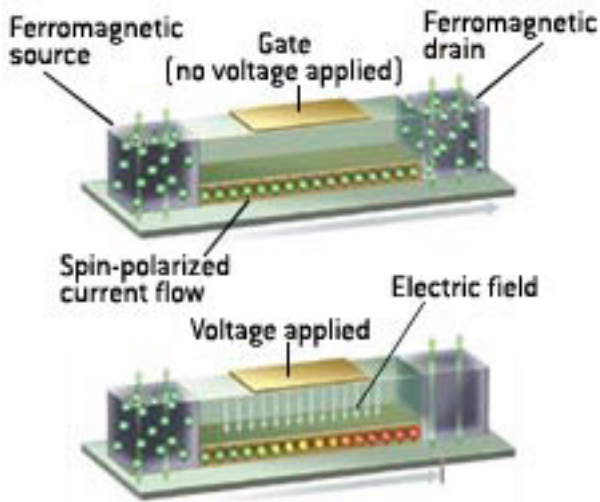


Figure 13 : Dispositif SpinFET : entre des source et drain ferromagnétiques, la grille module le courant polarisé en spin à partir du voltage appliqué.

Les possibilités et l’impact économique important des dispositifs spintroniques pour le stockage des données (Voir Dossier Etats Unis Sciences Physiques 7 [53] sur le Stockage des données), continuent de motiver la recherche dans ce domaine pour réaliser de futurs dispositifs logiques. Bien qu’aucun dispositif n’ait encore été proposé, le sujet donne lieu à des recherches actives.

Il vient notamment de se créer à Stanford le centre **SpinAps** pour *Spintronics Science and Application Center*, destiné à développer ces technologies. Ce centre de recherche résulte de la collaboration de l’université de Stanford et du centre de recherche d’IBM à Almaden (San José, Californie) [54]. IBM est parmi les pionniers dans les technologies à base de spin avec le développement des premiers disques durs et des têtes de lecture GMR (Giant MagnetoResistance). Les objectifs du centre sont de réaliser des prototypes basés sur la spintronique à partir des concepts existants. Les scientifiques espèrent ainsi créer de nouveaux matériaux et dispositifs avec des possibilités totalement nouvelles : dispositifs logiques, superconducteurs à T° ambiante, ou des ordinateurs quantiques. Des résultats commerciaux ne sont cependant pas attendus avant cinq ans.

Pour obtenir ces nouveaux dispositifs, les procédés Front-End doivent pouvoir suivre la cadence technologique et ainsi définir des dimensions de circuits conformes à l’ITRS. Parmi tous ces procédés, le domaine de la lithographie est critique.

J - Techniques lithographiques

Alors qu’il y a encore une dizaine d’années, il apparaissait difficile de réaliser des motifs à des dimensions sub-microniques par des techniques de lithographie optique, il est communément admis aujourd’hui qu’une source lumineuse est capable de définir des motifs ayant une résolution proportionnelle à un tiers de sa longueur d’onde. Ainsi pour une longueur d’onde d’émission à 193 nm, il devrait être possible d’aborder la prochaine génération à 65nm prévue pour 2007 avec le même type de source.

Le but premier de l’industrie lithographique est de pouvoir garantir une impression des motifs des circuits intégrés fidèle et précise à ceux des masques, dans les résines, ce qui est rendu extrêmement difficile aujourd’hui par le rétrécissement des dimensions. Par exemple, le contrôle sur la longueur des grilles est un des paramètres les plus critiques à contrôler et a introduit les premières briques rouges dans les tables de la *roadmap*. La longueur de la grille doit en effet être contrôlée avec beaucoup de précisions, car elle influe énormément sur la fréquence d’horloge du processeur. Dès 2004, ce contrôle des dimensions critiques (CD) de la grille a atteint les 3,3 nm et apparaît en rouge pour montrer son caractère difficilement réalisable par les techniques actuelles. Pour la génération hp 65 nm, avec une grille de 25 nm de longueur, le contrôle sur le CD devra être inférieur à 2,2 nm, alors qu’aujourd’hui il est difficile d’atteindre les 3 nm. Cette tolérance sur la précision des grilles prend en compte les procédés de lithographie et gravure, leur attribuant 20 et 80% d’incertitudes respectivement.

1) Relation de Rayleigh :

Le critère de Rayleigh donne la relation entre la longueur d’onde d’insolation et la résolution des motifs définis :

$$R = k_1 \cdot \lambda / NA$$

où R est la résolution, k_1 , un paramètre défini par la résine et l’appareillage, NA (*Numerical Aperture*) le pouvoir de résolution de l’appareil, et λ la longueur d’onde de la source.

A partir de cette relation, on peut voir que les solutions pour optimiser les performances des procédés de lithographie, sont d’utiliser des techniques d’amélioration de la résolution (ou RET pour *Resolution Enhancement Technique*) : il s’agit d’augmenter le pouvoir de résolution NA des optiques, d’introduire des décalages de phase dans les masques (PSM : *Phase Shift Mask*) pour diminuer les tailles définies dans les résines, diminuer le facteur k_1, \dots . Ces diverses techniques permettent de faire durer chaque génération lithographique le plus longtemps possible et de repousser ainsi chaque changement d’infrastructure.

L'autre solution, plus efficace, et indispensable à l'intégration continue des circuits, est de diminuer la longueur d'onde d'insolation. Aujourd'hui, les sources émettent dans le spectre Deep UV (350-150 nm). Après la génération 248 nm par un plasma ArF, les scanners des salles blanches fonctionnent pour la plupart, avec des plasmas de KrF émettant à 193 nm. Alors qu'il apparaît possible de réaliser les composants pour le hp 65nm par cette technique, il convient de déterminer également quelle sera la prochaine génération de sources pour réaliser des circuits sub-65 nm.

D'un point de vue général, l'édition 2003 diffère des éditions précédentes par la diminution du nombre de solutions potentielles dans les NGL (*Next Generation Lithography*) sur une échelle à court terme (2004-2008) et l'introduction de nouvelles techniques sur une plus longue échéance (2008-2015).

De nombreuses solutions d'abord pensées se sont vues rejetées sur des projections plus lointaines (157 nm, EUV), certaines techniques ont été définitivement abandonnées (Ion Projection Lithography, Proximity X-ray Lithography) et d'autres sont apparues (Lithographie par immersion, Nano-imprint Lithography). Une des raisons de ces changements est la tenacité des appareils de lithographie optique, qui, chaque année, se montrent capables d'atteindre des dimensions de plus en plus petites. C'est pourquoi des techniques comme la lithographie à 248 nm, puis 193 nm, s'étendent à des dimensions irréalisables selon les versions précédentes de l'ITRS.

Fin janvier se déroulait à Los Angeles un forum qui regroupait plus de 330 spécialistes de la lithographie pour décider du futur de l'industrie. Organisée par International Sematech (Austin, Texas), la conférence avait pour but de décider quelle technique les constructeurs allaient utiliser pour la production en volume du node hp 45nm (2007). Ultiment, l'industrie lithographique doit réduire le nombre d'options, car développer une nouvelle forme de lithographie coûte cher et les fournisseurs ont besoin de savoir s'ils pourront recouper leurs investissements. 193 nm par immersion, 157 nm, Extreme UV, Nano-Imprint, les solutions sont vastes, et non définitives, ce qui induit une dispersion des budgets R&D des professionnels du secteur dans un grand nombre d'axes de recherche. Un des constats qui s'est établi alors, est que l'évolution a de fortes chances de primer sur la révolution, et les paramètres principaux qui conduiront au choix d'une technique seront son degré de maturité au moment de son introduction, et les coûts de transition associés.

2) Lithographie par immersion à 193 nm :

La technique par immersion apparaît comme une des solutions les plus prometteuses pour prendre le relais

de la technique dite "sèche" à 193 nm. L'immersion permet en effet d'obtenir un meilleur pouvoir de résolution tout en conservant l'infrastructure de production des salles blanches actuelles. Au salon Microlithography 2004 tenu à Santa Clara en février dernier, les grands constructeurs d'appareils lithographiques, ASML, Nikon et Canon, montraient leur intérêt pour la lithographie par immersion, et parlaient d'une mise sur le marché dès la fin de l'année 2004.

Cette technique se base sur l'ajout d'eau entre la dernière lentille de projection du scanner et la plaquette de silicium (**Fig.14**). En raison d'un indice de réfraction beaucoup plus important (1,44 vs 1) dans l'eau que dans l'air, le pouvoir de résolution de l'appareil est amélioré, et réduit effectivement la longueur d'onde 193 nm à 134 nm¹⁶.

Différentes configurations sont envisagées pour introduire l'eau dans le système : un design de type "douche" dans lequel l'eau est déposée sur la plaquette puis vidée; le type "baignoire", dans lequel la plaquette baigne dans le liquide et se déplace suivant les différentes étapes lithographiques; le type "piscine", où le système tout entier baigne dans le liquide. Pour l'instant les grands constructeurs comme ASML et Nikon ont choisi de tester la configuration douche dans leurs appareils lithographiques.

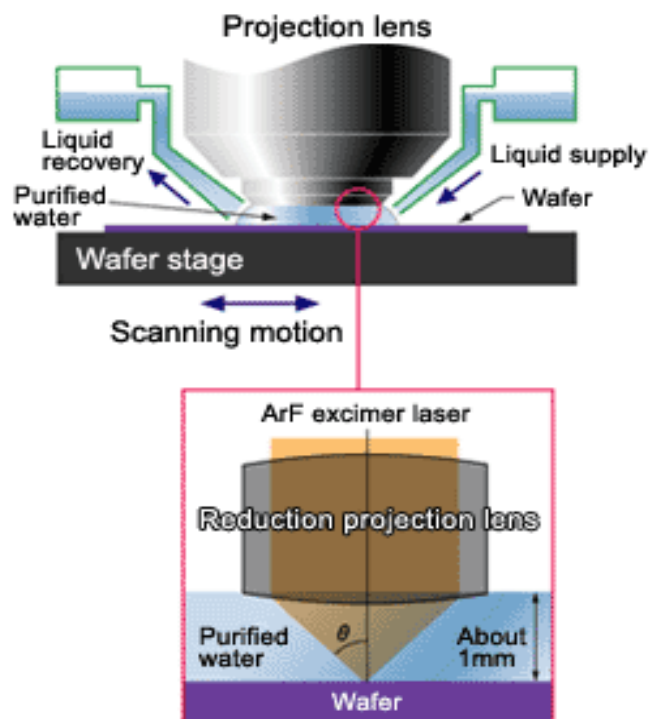


Figure 14 : Méthode de lithographie par immersion : l'eau est introduite puis aspirée par un système de pompes permettant l'insolation de la plaquette à travers l'eau purifiée.

¹⁶ La longueur d'onde effective est obtenue en divisant la longueur d'onde totale par l'indice de réfraction du milieu.

Utiliser l'eau comme liquide d'immersion est un facteur totalement nouveau pour les systèmes optiques d'un appareil de lithographie, et peut faire surgir de nouveaux problèmes. Un des problèmes concernant cette technologie, quel qu'il soit la façon dont est introduit le liquide, est la possible existence de bulles pouvant fortement endommager l'intégrité de l'image aérienne du masque. Ces bulles peuvent provenir de l'agrégation de molécules d'air présentes dans l'eau. Une des solutions pour contrer cet effet parasite, serait de dégazer l'eau avant son utilisation. La lentille qui est en contact avec un flux continu de liquide peut également être endommagée. Le matériau CaF_2 n'est pas très sensible à l'eau, mais la combinaison du laser et du temps de processing peut aboutir à des dégradations. Une solution serait de constituer une couche protectrice sur la surface de la lentille.

Même si l'utilisation de cette technologie n'est pas garantie, c'est un risque que les fabricants d'appareils lithographiques sont prêts à prendre, compte tenu des autres alternatives. Même si persistent des incertitudes sur un dégazage ou des possibles interactions entre l'eau et la résine, la lithographie par immersion apparaît comme un sérieux candidat à la succession de la technologie actuelle sèche à 193 nm.

Si elle fonctionne, cette technique pourrait être étendue par la suite à la technologie 157 nm. Le problème est qu'à cette longueur d'onde, l'eau devient absorbante, et trouver un liquide qui améliore la résolution sans diminuer la transmission des photons est difficile. Pour l'instant, le liquide utilisé est le *perfluoropolyether* ou PFPE, qui a un indice de réfraction de 1,38 et permet de définir un pitch de 42 nm avec un facteur k_1 de 0,35. Selon Bill Arnold, ingénieur à ASML (Tempe, Arizona), "il faudra procéder à une décision en 2006 pour savoir s'il faut continuer à développer la technologie 157 nm ou se limiter à la poursuite de la lithographie par immersion à 193 et l'Extreme UV".

3) Lithographie à 157 nm :

Alors que cette technologie devait initialement prendre le relais des scanners à 193 nm pour définir des motifs à 65 nm (2006), son échéance a encore été repoussée, car la poursuite de la lithographie sèche à 193 nm ou par la technique d'immersion permettrait de minimiser les coûts de production en gardant la majorité des appareils de processing actuels. Dans un domaine où les coûts doivent être minimisés, la mise en place de la technologie 157 nm imposerait des investissements majeurs, et de plus sur un court terme.

Malgré tout, la lithographie à 157 nm, avec un plasma de F_2 , fait des progrès sûrs et techniquement sa mise en place serait possible pour le *node hp* 45nm. Au niveau des résines 157 nm, les principales évolutions incluent une meilleure résolution, une transparence améliorée, et une sensibilité diminuée au recuit après exposition. Les optiques en CaF_2 sont également optimisées, et les problèmes de biréfringence diminuent.

Parmi les avantages de cette technique, certains avancent sa maturité (ce procédé est en développement depuis 1999 par des compagnies comme Canon), ou la possibilité de faire des expositions pleine plaque, procédé qui n'est pas encore disponible pour les appareils de lithographie par immersion, même alpha.

4) Extreme UV :

La technologie Extreme UV (**Fig.15**) pressentie pour le *node hp* 45nm, se voit repoussée à 32 nm en 2010. Cette technique est toujours en développement en raison de problèmes majeurs se dressant sur sa route : la puissance de la source et sa durée de vie, la durée de vie des optiques, la disponibilité de masques avec un taux de défauts minimes, la protection des masques durant leur manipulation, la résolution et la sensibilité des résines.

Le rayonnement EUV (13,5 nm) étant très court, il est absorbé par n'importe quel support. De ce fait des optiques et des masques en transmission utilisés par l'industrie microélectronique actuelle, doivent devenir des miroirs et des masques en réflexion à 13,5 nm. Le vide doit également être fait à l'intérieur de l'appareil pour éviter l'absorption du rayonnement par l'air. En résumé, le contrôle des procédés doit être extrêmement précis pour avoir une efficacité maximale et éviter toute contamination. C'est pour cela que la manipulation des masques pose aussi problème, car tout contact avec l'air pourrait les endommager et ils doivent donc être manipulés sous vide.

ASML, vendeur n°1 des appareils lithographiques, a récemment reformulé son soutien à la technologie EUV. Selon eux, le développement de la lithographie EUV doit être poursuivi pour pouvoir coordonner sa mise en place après la lithographie par immersion, la solution 157 nm restant en attente. ASML prévoit de faire parvenir à Intel un prototype alpha d'un de ses appareils EUV fin 2005. Les fournisseurs pointent par ailleurs le fait que l'industrie ne pourrait pas subvenir aux coûts de transition pour un nouveau système de lithographie optique (157 nm), puis à nouveau faire un changement vers l'EUV. Intel annonçait courant janvier son intention d'investir 20 m\$ dans la compagnie Cymer Inc. (San Diego, Californie) pour développer des sources EUV [55]. Intel aurait besoin d'un appareil beta à la fin 2006, afin de développer la technologie EUV à temps pour 2009. Intel, qui se fixe un objectif de production de 100 plaquettes par heure, aura besoin d'une puissance de sortie de 100 W, alors que les appareils présentent aujourd'hui des puissances de 30 W. En effet, plus la source a une puissance importante, plus le nombre de photons frappant la cible est important, augmentant ainsi la vitesse à laquelle les plaquettes sont insolées et la productivité.

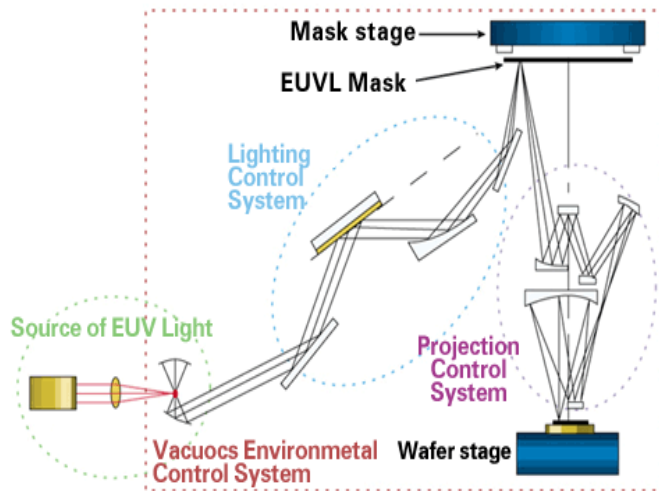


Figure 15 : Système de lithographie Extreme UV : par un système d'optiques réfléchives, le rayonnement EUV est projeté sur le masque puis réfléchi vers la plaquette à insoler.

5) Nano-imprint :

Alors que beaucoup de constructeurs se tournent vers la lithographie par immersion ou l'EUV, le Nano-Imprint pourrait être une autre alternative à faible coût pour la prochaine génération lithographique. Ajoutée lors de cette dernière édition de l'ITRS, il pourrait prendre le relais des techniques actuelles pour des dimensions inférieures à 32 nm. Dans ce procédé, les puces sont imprimées de manière séquentielle. Un moule dont la température est élevée au-dessus de la température de transition du verre est appliqué contre le substrat, assez longtemps pour permettre à la résine de garder la forme du motif. Le moule est ensuite refroidi, puis déplacé à un autre endroit. Les applications en sont variées : puces microfluidiques, RF ou pour la production de puces électroniques futures.

Il existe différents types de Nano-imprint, notamment le Step and Flash développé par l'équipe de Grant Wilson de l'Université du Texas à Austin (Sept. 2000), dont la méthode est aujourd'hui commercialisée par Molecular Imprint Inc. (Austin, Texas) [56]. La technique utilise un procédé Step and Repeat sur une surface de 25 par 25 mm, et une lampe 365 nm pour imprimer des motifs inférieurs à 50 nm. La méthode ne nécessite aucun motif OPC (Optical Proximity Correction) ce qui la rend intéressante d'un point de vue économique. Une autre compagnie américaine commercialisant des appareils de Nano Imprint, est Nanonex Inc. (New Jersey), avec une méthode de Step and Stamp [57]. Cette méthode se base sur un procédé Step and Repeat similaire aux techniques conventionnelles de lithographie optique pour couvrir de plus larges zones que les méthodes imprimant une plaque entière. Le NIST a accordé une aide de 17,5 m\$ pour développer les méthodes de Nano Imprint dans le cadre de son *Advanced*

Technology Program [58]. Sur ce principe, Molecular Imprint Inc. (MII), leader dans le domaine des Step and Flash Imprint Lithography (S-FIL), a créé une filiale commune avec KLA-Tencor, Photronics, Motorola Labs et l'université du Texas à Austin. MII vend pour l'instant des appareils lithographiques de pré-production qui permettent de créer des structures simples idéales pour des MEMS, mais qui nécessitent d'être développés pour des dispositifs plus complexes.

Le Nano Imprint montre également un grand potentiel pour les applications de types mémoires magnétiques à forte densité. Au salon Microlithography 2004 (Santa Clara, CA), une équipe des laboratoires du Hitachi Global Storage Technologies de San José [59] a annoncé la possibilité de combiner les méthodes de Nano Imprint et d'auto-assemblage de réseaux de particules magnétiques pour réaliser des mémoires de densités jusqu'à 40 Tbit/in². Une autre équipe des HP Labs (Palo Alto, Californie), associée au Lawrence Berkeley National Lab (Berkeley, Californie), et Applied Molecular Systems Inc. détaillait la fabrication de la plus petite mémoire non volatile jamais réalisée avec une densité de 6,4 Gbit/cm² [60]. Leur structure comprend une couche moléculaire active entourée de deux électrodes, composées de couches Pt/Ti. Avec cette technique, les chercheurs ont réussi à imprimer des lignes de 40 nm avec un pitch de 130 nm. Le procédé utilise une température relativement faible (70 °C) et de faibles pressions (500 Psi), qui aident à préserver l'intégrité de la couche moléculaire.

Une des limitations du Nano Imprint provient de son incapacité à imprimer de larges surfaces et des petits motifs en même temps. Le motif étant formé par l'application d'une pression pour déplacer les polymères, il est difficile de déplacer de larges quantités de polymères sur une grande distance. Des chercheurs de l'université du Michigan ont réalisé cependant une version modifiée de la méthode Nano Imprint qui intègre des techniques lithographiques [60]. Ils utilisent un masque hybride, fait d'un matériau transparent à l'UV, qui agit à la fois comme moule et comme masque. Les structures en relief du moule impriment les motifs à l'échelle du nanomètre, alors que les motifs métalliques embarqués dans le moule servent de masque pour répliquer de plus grands motifs.

6) Autres techniques lithographiques :

Parmi les autres techniques alternatives, se trouve la lithographie sans masque. ASML travaille avec une compagnie suédoise Micronic Laser Systems AB, sur une forme de lithographie sans masque, basée sur un système de micro-miroirs apparentés à une forme adressable de modulateurs luminescents. D'autres compagnies comme Canon, E-Beam Corp, Leica, travaillent également sur cette technique, dont les résultats sont encore limités.

Xerox Inc. développe une technologie d'impression par jet pour déposer une encre semiconductrice à base polymère sur des substrats [61]. Leur centre de recherche situé à Palo Alto (Californie) a annoncé la réalisation d'une série de transistors plastiques et espère introduire en production ce procédé courant 2005. Ce résultat est le fruit d'une collaboration avec le NIST qui a fourni un financement sur 4 ans à Xerox et Dow Chemical Co. Ce type de transistors pourrait constituer la prochaine génération d'affichage sur écran plat, des TV sur des pans de murs entiers, du papier électronique ou des substrats flexibles. Ce procédé permettrait de se passer des étapes de lithographie et de dépôt nécessitant un vide. Si cette technologie perce le marché, les conséquences pour l'industrie lithographique risquent d'être désastreuses, le marché de l'affichage représentant 765 m\$ de composants délivrés par l'industrie lithographique, comparés aux 2,74 M\$ pour les fabriques d'IC. "En 2005, ce marché est estimé à 1,3 MS", confiait l'analyste Risto Puhakka de VLSI Research Inc.

7) Masques lithographiques :

Dans le secteur lithographique, la réalisation de masques est une étape importante. Les motifs du circuit intégré sont transférés sur la puce par lithographie optique à partir d'un masque en verre sur lequel les motifs sont inscrits en chrome. Avec un masque à changement de phase, le transfert s'effectue en deux fois en modifiant la phase de la lumière de 180 ° au deuxième passage : cette technique permet d'atteindre une résolution équivalente à la moitié de la longueur d'onde émise. Les masques à décalage de phase ou PSM, sont une des clés pour étendre les capacités lithographiques. Plusieurs types de masques PSM existent : ceux à décalage de phase complémentaire, à simple et double exposition. Les masques à décalage de phase complémentaire utilisent un premier masque servant de décaleur, puis un second qui sert à bloquer les rayonnements superflus.

8) Métrologie :

Parmi les autres challenges à venir, le domaine de la métrologie se heurte à des barrières techniques importantes, du fait de la précision avec laquelle les plaquettes doivent être positionnées, et ceci afin de maîtriser la mise au point. Pour cela la précision, ainsi que le nombre de capteurs nécessaires, devront augmenter de manière drastique pour les générations hp 65nm, puis hp 45 nm. Cela induira aussi une réduction dans la vitesse de balayage et du débit de l'appareil. Pour contrer cet effet, ASML a introduit des appareils dits à double exposition. Quand une plaquette est exposée, une autre est paramétrée pour faire la mise au point et détecter les variations de niveaux à la surface de la plaquette. Quand la plaquette a fini d'être exposée, la seconde déjà identifiée prend la suite, etc...

Même si le choix des futures techniques de lithographie est indéfini pour l'instant, on peut distinguer une tendance naissante dans la sélection des techniques : depuis le début de l'année, les déclarations sur la mise en place d'appareils de lithographie par immersion se succèdent, et son apparition sur la scène de production pourrait avoir lieu dès le début de l'année prochaine. Parmi les techniques à même de prendre en charge les dimensions sub-32 nm, l'EUV est le plus sérieux candidat. Un grand nombre de professionnels misent sur cette technologie en lui consacrant un budget de recherche conséquent. Outre ces deux techniques, d'autres outsiders pourraient créer la surprise : bien qu'en suspens, le 157 nm reste prêt à prendre le relais si besoin est, le Nano-Imprint prouve de bons résultats pour des dimensions de 45 nm et est compatible avec les appareils actuels.

Conclusion

Après la crise du marché en 2001, et une période de stagnation en 2002, 2003 et 2004 montrent une reprise claire de l'industrie microélectronique. Le document ITRS édition 2003 détaille ainsi l'apparition de nouveaux secteurs incluant les technologies WiFi en plein développement. Alors que les cycles de générations de composants repassent à trois ans, certains problèmes grandissants se profilent à l'horizon et nécessitent d'être la cible de recherches actives pour poursuivre l'intégration des circuits fidèlement à la loi de Moore. Parmi ces enjeux, un changement de génération lithographique est nécessaire à court terme, avec une grande probabilité accordée à la technique de lithographie par immersion qui ne nécessite pas de changement d'infrastructures, synonyme d'intégration rapide et économique. Le développement de nouveaux matériaux est également requis, comme pour les matériaux low k des interconnexions, les diélectriques de grille,... Parmi les grands constats, le coût est un des paramètres prédominants plus qu'hier, ainsi que la consommation électrique croissante des processeurs qui ne pourra plus être pleinement assurée d'ici à quelques années. Les solutions à long terme pour les transistors restent encore en recherche, et aucun dispositif fiable n'a encore été démontré, que cela soit au niveau des CNT, dispositif moléculaire ou spintronique,... Ces futurs transistors seront sans doute constitués de technologies logiques hybrides où les approches Top down rencontreront les techniques Bottom Up.

Références :

- [1] <http://www.semichips.org>
- [2] <http://www.public.itrs.net>
- [3] <http://www.mirc.gatech.edu>
- [4] http://www.sia-online.org/pre_release.cfm?ID=317
- [5] <http://www.instat.com/>
- [6] <http://www.gartner.com>
- [7] <http://www.nano.gov>
- [8] <http://www.nsf.gov>
- [9] <http://www.energy.gov>
- [10] <http://www.defenselink.mil>
- [11] <http://www.nist.gov>
- [12] <http://fcrp.src.org>
- [13] http://www.france-science.org/publications/physique/PhysUSA_N9.pdf
- [14] http://money.cnn.com/2004/03/01/news/economy/outourcing_solutions/index.htm
- [15] http://zdnet.com.com/2100-1104_2-5175699.html
- [16] <http://www.forrester.com>
- [17] <http://www.computerweekly.com/Article129623.htm>
- [18] <http://cis.stanford.edu>
- [19] <http://www.intel.com/labs/features/si12031.htm>
- [20] <http://www.amberwave.com/>
- [21] <http://www.intel.com/update/contents/it01041.htm>
- [22] http://www.eetimes.com/article/printableArticle.jhtml?articleID=18400973&url_prefix=semi/news&sub_taxonomyID=2515
- [23] <http://investor.news.com/Engine?Account=cnet&PageName=NEWSREAD&ID=998036&Ticker=TGAL&SOURCE=20040413005314>
- [24] http://home.businesswire.com/portal/site/google/index.jsp?ndmViewId=news_view&newsId=20040413005314&newsLang=en
- [25] <http://www.mirc.gatech.edu/>
- [26] <http://www.eedesign.com/story/showArticle.jhtml?articleID=18902137>
- [27] <http://www.ifc.gatech.edu/index.shtml>
- [28] http://www.novellus.com/dome/showpr.asp?pr_id=236
- [29] http://news.com.com/2100-1008_3-5074419.html
- [30] <http://www.eedesign.com/showArticle.jhtml?articleID=18902137>
- [31] <http://www.dow.com/silk/>
- [32] Pai et al, Science 2004
- [33] <http://www.soitec.com/en/news/pr85.htm>
- [34] <http://www.isonics.com/>
- [35] <http://www.electronicstalk.com/news/iel/iel115.html>
- [36] Nanoelectronics and Information Technology. Rainer Wasser, ed. Wiley-VCH, 2003. 425-444.
- [37] R.H. Chen, A.N. Korotkov, and K.K. Likharev, «Single-electron Transistor Logic,» Appl. Phys. Lett. 68, 14, 1954.
- [38] C.P. Gerosis and S. M. Goodnick, «Simulation of Single-Electron Tunneling Circuits,» Phys. Stat. Sol. B 233, 2002, 113.
- [39] <http://focus.ti.com/docs/pr/pressrelease.jhtml?preId=s03255>
- [40] S.J. Wind, J. Appenzeller, R. Martel, V. Derycke, P. Avouris, «Vertical Scaling of Carbon Nanotube Field-effect Transistors Using Top Gate Electrodes,» Appl. Phys. Lett. 80, 2002, 3817-3819.
- [41] S Li et al. 2004 Nano Lett. 4 753
- [42] http://www.smalltimes.com/document_display.cfm?section_id=97&document_id=7533
- [43] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, and C. M. Lieber, «High Performance Silicon Nanowire Field Effect Transistors,» Nano Letters 3 (2), 2003, 149-152.
- [44] <http://www.lrsm.upenn.edu/nirt/>
- [45] «Low Voltage, Scalable Nanocrystal FLASH Memory Fabricated by Templated Self Assembly» presented at the IEEE International Electron Devices Meeting (IEDM) in Washington, D.C.
- [46] Janvier 2004, Nanoletters
- [47] http://www.nanoelectronicsplanet.com/nanochannels/research/article/0,4028,10497_3344131,00.html
- [48] http://www.eurekalert.org/pub_releases/2004-02/ohs-ord022204.php
- [49] http://www.extremetech.com/print_article/0,1583,a=121791,00.asp
- [50] <http://www.darpa.mil/MTO/mole/>
- [51] <http://foundry.lbl.gov/>
- [52] http://www.france-science.org/publications/physique/PhysUSA_N10.pdf
- [53] http://www.france-science.org/publications/physique/PhysUSA_N7.pdf
- [54] <http://www.almaden.ibm.com/spinaps/>
- [55] http://www.cymer.com/news/corporate_news_detail.cfm?key=198
- [56] <http://www.molecularimprints.com/>
- [57] <http://www.nanonex.com/>
- [58] http://home.businesswire.com/portal/site/google/index.jsp?ndmViewId=news_view&newsId=20040505005071&newsLang=en
- [59] <http://www.hgst.com/>
- [60] <http://www.reed-electronics.com/semiconductor/article/CA411440?pubdate=05%2F01%2F2004>
- [61] Solid State Technology, mars 2004